

10/551588

BEST AVAILABLE COPY

JC20 Rec'd PCT/PTO 30 SEP 2003

DOCKET NO.: 15675P583

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the Application of:

THIERRY FAVARD

Application No.:

Filed:

For: schmitt trigger circuit in soi

Art Group:

Examiner:

Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

REQUEST FOR PRIORITY

Sir:

Applicant respectfully requests a convention priority for the above-captioned application, namely:

COUNTRY	APPLICATION NUMBER	DATE OF FILING
France	0304088	2 April 2003

☐ A certified copy of the document is being submitted herewith.

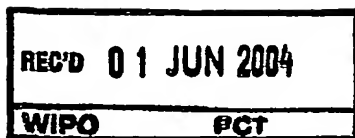
Respectfully submitted,

Blakely, Sokoloff, Taylor & Zafman LLP

Dated: 9/30/05

12400 Wilshire Boulevard, 7th Floor  
Los Angeles, CA 90025  
Telephone: (310) 207-3800

Eric S. Hyman, Reg. No. 30,139



IB/2004/001402

# BREVET D'INVENTION

CERTIFICAT D'UTILITÉ - CERTIFICAT D'ADDITION

## COPIE OFFICIELLE

Le Directeur général de l'Institut national de la propriété industrielle certifie que le document ci-annexé est la copie certifiée conforme d'une demande de titre de propriété industrielle déposée à l'Institut.

Fait à Paris, le 06 AVR. 2004

**PRIORITY  
DOCUMENT**  
SUBMITTED OR TRANSMITTED IN  
COMPLIANCE WITH RULE 17.1(a) OR (b)

Pour le Directeur général de l'Institut  
national de la propriété industrielle  
Le Chef du Département des brevets

Martine PLANCHE

INSTITUT  
NATIONAL DE  
LA PROPRIÉTÉ  
INDUSTRIELLE

SIEGE  
26 bis, rue de Saint Petersburg  
75800 PARIS cedex 08  
Téléphone : 33 (0)1 53 04 53 04  
Télécopie : 33 (0)1 53 04 45 23  
www.inpi.fr



26 bis, rue de Saint Pétersbourg  
75800 Paris Cedex 08  
Téléphone : 33 (1) 53 04 53 04 Télécopie : 33 (1) 42 94 86 54

1er depot

# BREVET D'INVENTION CERTIFICAT D'UTILITÉ

Code de la propriété intellectuelle - Livre VI



## REQUÊTE EN DÉLIVRANCE page 1/2



Cet imprimé est à remplir lisiblement à l'encre noire

DB 540 W / 210502

<b>REMISE DES PIÈCES</b> DATE <b>2 AVRIL 2003</b> ✓ LIEU <b>75 INPI PARIS</b> N° D'ENREGISTREMENT <b>0304088</b> ✓ NATIONAL ATTRIBUÉ PAR L'INPI DATE DE DÉPÔT ATTRIBUÉE PAR L'INPI <b>- 2 AVR. 2003</b>		<b>1 NOM ET ADRESSE DU DEMANDEUR OU DU MANDATAIRE</b> À QUI LA CORRESPONDANCE DOIT ÊTRE ADRESSÉE  Cabinet REGIMBEAU 20, rue de Chazelles 75847 PARIS CEDEX 17 FRANCE	
<b>Vos références pour ce dossier (facultatif)</b> 240072 D20644 TM			
<b>Confirmation d'un dépôt par télécopie</b>		<input type="checkbox"/> N° attribué par l'INPI à la télécopie	
<b>2 NATURE DE LA DEMANDE</b>		<b>Cochez l'une des 4 cases suivantes</b>	
Demande de brevet		<input checked="" type="checkbox"/>	
Demande de certificat d'utilité		<input type="checkbox"/>	
Demande divisionnaire		<input type="checkbox"/>	
Demande de brevet initiale		N° _____ Date _____	
ou demande de certificat d'utilité initiale		N° _____ Date _____	
Transformation d'une demande de brevet européen <i>Demande de brevet initiale</i>		<input type="checkbox"/> N° _____ Date _____	
<b>3 TITRE DE L'INVENTION (200 caractères ou espaces maximum)</b>  CIRCUIT TRIGGER DE SCHMITT EN SOI			
<b>4 DÉCLARATION DE PRIORITÉ</b> <b>OU REQUÊTE DU BÉNÉFICE DE LA DATE DE DÉPÔT D'UNE DEMANDE ANTÉRIEURE FRANÇAISE</b>		Pays ou organisation _____ N° _____ Date _____ Pays ou organisation _____ N° _____ Date _____ Pays ou organisation _____ N° _____ Date _____ <input type="checkbox"/> S'il y a d'autres priorités, cochez la case et utilisez l'imprimé «Suite»	
<b>5 DEMANDEUR (Cochez l'une des 2 cases)</b>		<input checked="" type="checkbox"/> <b>Personne morale</b> <input type="checkbox"/> <b>Personne physique</b>	
Nom ou dénomination sociale		SOISIC	
Prénoms			
Forme juridique		SOCIETE ANONYME A DIRECTOIRE ET CONSEIL DE SURVEILLANCE	
N° SIREN		437527930	
Code APE-NAF			
Domicile ou siège		15, rue des Martyrs, 38054 GRENOBLE	
Rue			
Code postal et ville		FRANCE	
Pays		Française	
Nationalité			
N° de téléphone (facultatif)		N° de télécopie (facultatif)	
Adresse électronique (facultatif)			
<input type="checkbox"/> S'il y a plus d'un demandeur, cochez la case et utilisez l'imprimé «Suite»			

**BREVET D'INVENTION  
CERTIFICAT D'UTILITÉ**
**REQUÊTE EN DÉLIVRANCE**  
page 2/2

**BR2**


REMISE DES PIÈCES	
DATE	<b>2 AVRIL 2003</b>
LIEU	<b>75 INPI PARIS</b>
N° D'ENREGISTREMENT	<b>0304088</b>
NATIONAL ATTRIBUÉ PAR L'INPI	

DB 540 W / 210502

<b>6 MANDATAIRE (s'il y a lieu)</b>		240072 TM
Nom		
Prénom		
Cabinet ou Société		Cabinet REGIMBEAU
N° de pouvoir permanent et/ou de lien contractuel		
Adresse	Rue	20, rue de Chazelles
	Code postal et ville	75847 PARIS CEDEX 17
	Pays	
N° de téléphone (facultatif)		01 44 29 35 00
N° de télécopie (facultatif)		01 44 29 35 99
Adresse électronique (facultatif)		info@regimbeau.fr
<b>7 INVENTEUR (S)</b>		Les inventeurs sont nécessairement des personnes physiques
Les demandeurs et les inventeurs sont les mêmes personnes		<input type="checkbox"/> Oui <input checked="" type="checkbox"/> Non : Dans ce cas remplir le formulaire de Désignation d'inventeur(s)
<b>8 RAPPORT DE RECHERCHE</b>		Uniquement pour une demande de brevet (y compris division et transformation)
Établissement immédiat ou établissement différé		<input checked="" type="checkbox"/> Établissement immédiat <input type="checkbox"/> Établissement différé
Paiement échelonné de la redevance (en deux versements)		Uniquement pour les personnes physiques effectuant elles-mêmes leur propre dépôt <input type="checkbox"/> Oui <input type="checkbox"/> Non
<b>9 RÉDUCTION DU TAUX DES REDEVANCES</b>		Uniquement pour les personnes physiques <input type="checkbox"/> Requête pour la première fois pour cette invention (joindre un avis de non-imposition) <input type="checkbox"/> Obtenue antérieurement à ce dépôt pour cette invention (joindre une copie de la décision d'admission à l'assistance gratuite ou indiquer sa référence): AG
<b>10 SÉQUENCES DE NUCLEOTIDES ET/OU D'ACIDES AMINÉS</b>		<input type="checkbox"/> Cochez la case si la description contient une liste de séquences
Le support électronique de données est joint		<input type="checkbox"/>
La déclaration de conformité de la liste de séquences sur support papier avec le support électronique de données est jointe		<input type="checkbox"/>
Si vous avez utilisé l'imprimé «Suite», indiquez le nombre de pages jointes		
<b>11 SIGNATURE DU DEMANDEUR OU DU MANDATAIRE</b> (Nom et qualité du signataire)		<b>VISA DE LA PRÉFECTURE OU DE L'INPI</b>

L'invention concerne un circuit bascule à hystérésis et un circuit intégré CMOS comprenant une telle bascule à hystérésis.

L'invention concerne plus précisément un nouveau circuit inverseur à hystérésis, notamment un nouveau circuit trigger de Schmitt, et un circuit intégré CMOS comprenant un tel inverseur à hystérésis. En particulier, l'invention propose un circuit intégré adapté à toute technologie CMOS semi-conducteur sur isolant. La technologie CMOS semi-conducteur sur isolant préférée ici est la technologie silicium sur isolant partiellement déplété (ou « PD SOI » en terminologie anglo-saxonne, pour Partially Depleted Silicon On Insulator).

En technologie CMOS, la réalisation d'un circuit électrique trigger de Schmitt est classiquement connue. La figure 1 illustre l'une des réalisations symétriques possibles d'un tel circuit trigger de Schmitt. Le circuit de la figure 1 comporte six transistors : les transistors N2 et P2 constituent l'inverseur principal du trigger de Schmitt tandis que les transistors N1 et N3 d'une part, et les transistors P1 et P3 d'autre part, forment deux réseaux de rétroaction. Chacun desdits deux réseaux de rétroaction fixe un seuil de basculement et les deux seuils ainsi obtenus induisent, à eux deux, un effet d'hystérésis (la différence de tension entre ces deux seuils fixant la valeur de l'hystérésis). En fonction du sens d'évolution de la tension d'entrée, le basculement du trigger de Schmitt a donc lieu pour des valeurs différentes de ladite tension d'entrée. Ainsi, tant que la tension d'entrée  $V_{IN}$  n'a pas dépassé le seuil de basculement  $V_+$ , le signal de sortie OUT reste au niveau haut. Lorsque le signal de sortie a changé d'état (il est désormais au niveau bas), la tension d'entrée  $V_{IN}$  doit redescendre sous le seuil de basculement  $V_-$  pour provoquer un nouveau basculement du signal de sortie.

Dans les circuits CMOS sur substrat massif, le potentiel de chaque noeud à un instant donné est indépendant des instants précédents pendant lesquels le circuit était en fonctionnement. Il en est autrement dans les circuits sur silicium sur isolant (SOI) pour lesquels le comportement du circuit est conditionné par l'historique des signaux. En effet, les transistors sur ce substrat ont une zone interne présentant un potentiel flottant qui n'est pas immédiatement fixé par les polarisations externes et qui nécessite par conséquent un certain temps pour atteindre un potentiel d'équilibre.

Cette zone est appelée substrat («body» selon la terminologie anglo-saxonne) flottant, et la dépendance du potentiel de substrat à l'historique des signaux est appelée effet d'histoire.

5 Du fait de cet effet d'histoire, la caractéristique de transfert statique du circuit classique trigger de Schmitt présente une hystérésis très variable et incontrôlable lorsqu'il est porté en technologie SOI. Et cette fluctuation indésirable de la caractéristique de transfert statique dudit trigger de Schmitt classique induit une fluctuation des caractéristiques dynamiques, notamment une variation du délai de propagation à travers ledit circuit.

10 Le circuit classique du trigger de Schmitt ne peut donc être utilisé en l'état pour des applications sur SOI. Il existe alors un besoin pour adapter ce circuit à des applications sur silicium sur isolant partiellement déserté.

15 Le document US 6,441,663 présente un circuit CMOS trigger de Schmitt en SOI qui comble ce besoin par l'utilisation de transistors à effet de champ (Field Effect Transistor, FET, selon la terminologie anglo-saxonne) à prises substrat. Il est montré dans ce document que le schéma électrique classique du trigger de Schmitt reste valable en technologie SOI en portant une attention particulière à la manière de contacter les prises substrat des transistors.

20 Un tel circuit est représenté sur la figure 2. Ce schéma comporte trois transistors à effet de champ à jonction canal N (NFET) et trois transistors à effet de champ à jonction canal P (PFET), dont les substrats sont fixés aux potentiels d'alimentation. Les prises substrat des transistors PFET sont pour cela raccordées à la tension d'alimentation alors que les prises substrat des transistors NFET sont  
25 raccordées à la masse. Les tensions de seuil des transistors sont ainsi figées dans le temps, indépendamment du signal d'entrée et de son historique, ce qui permet de passer outre le problème d'effet d'histoire, mais pénalise le dispositif en rapidité.

De par son principe de fonctionnement, et comme cela sera décrit par la suite, ce trigger est beaucoup moins efficace quand la tension d'alimentation se rapproche de la valeur de la tension de seuil des transistors. L'utilisation de ce circuit est par  
30 conséquent limitée du fait de son fonctionnement dégradé à faible tension

d'alimentation, qui se fait tout du moins au détriment de la rapidité et/ou de la surface silicium.

L'objet de l'invention est donc de disposer d'un circuit trigger de Schmitt tirant le meilleur parti de la technologie SOI et efficace notamment à faible tension d'alimentation.

A cet effet l'invention propose un circuit bascule à hystérésis en technologie SOI caractérisé en ce qu'il comprend au moins deux étages inverseurs CMOS, chaque étage inverseur étant constitué d'une première branche comprenant au moins un transistor à effet de champ à jonction canal P (PFET) en série entre un premier potentiel d'alimentation  $V_{DD}$  et un noeud de sortie de l'étage inverseur et d'une seconde branche comprenant au moins un transistor à effet de champ à jonction canal N (NFET) en série entre ledit noeud de sortie de l'étage inverseur et un second potentiel d'alimentation, lesdits transistors de chacun des étages inverseurs ayant leurs grilles connectées ensemble pour recevoir un signal d'entrée. L'entrée de chacun des inverseurs reçoit directement ou indirectement le signal d'entrée dudit circuit, tandis que le signal de sortie dudit circuit est obtenu directement ou indirectement par le signal de sortie de l'un des étages inverseurs. Enfin, le potentiel de substrat de chacun des transistors d'au moins un étage inverseur, avantageusement le premier étage inverseur, est piloté dynamiquement par un signal de commande issu dudit circuit.

La structure du circuit comme succession d'étages inverseurs en série entre l'entrée dudit circuit et sa sortie, ainsi que la modification dynamique de la tension de seuil des transistors d'au moins un étage inverseur permettent d'introduire un effet d'hystérésis basé sur l'accélération de blocage de transistor(s) (en l'occurrence le(s) transistor(s) PFET de l'inverseur principal du circuit objet de l'invention pour une variation positive de la tension d'entrée) plutôt que sur le retard de mise en conduction de transistor(s) (en l'occurrence le(s) transistor(s) NFET de l'inverseur principal du circuit de l'art antérieur pour une variation positive de la tension d'entrée). L'invention permet ainsi d'apporter une «amélioration» (en introduisant une accélération) là où le circuit de l'art antérieur apporte une «dégradation» (en introduisant un ralentissement), pour introduire un déséquilibre des tensions de seuil

V. et V+. Il s'avère ainsi que le circuit de l'invention présente des caractéristiques plus performantes que celles du circuit de l'état de l'art. A immunité au bruit équivalente, le facteur de mérite (prenant en compte aussi bien la rapidité, la consommation totale que la surface silicium) de l'invention est plus performant que celui de l'art antérieur et cela pour toute une plage de tensions d'alimentation.

Selon un premier mode de réalisation de l'invention, les potentiels de substrat des transistors PFET et NFET d'au moins un étage inverseur, dit étage inverseur piloté, sont pilotés par un même signal de commande. Avantageusement, les potentiels de substrat des transistors PFET et NFET de l'étage inverseur piloté sont pilotés par un signal déterminé par un état du circuit situé en aval dudit étage inverseur piloté. Lesdits potentiels de substrat des transistors PFET et NFET de l'étage inverseur piloté peuvent à cet effet être pilotés par le signal de sortie d'un étage inverseur, dit étage inverseur de commande, situé en aval dudit étage inverseur piloté. L'étage inverseur de commande est préférablement séparé de l'étage inverseur piloté par un nombre pair d'étages inverseurs en série entre ledit étage inverseur piloté et ledit étage inverseur de commande. Avantageusement, ledit étage inverseur de commande est l'étage inverseur situé immédiatement en aval dudit étage inverseur piloté, le nombre pair d'étages inverseurs étant alors égal à zéro.

Selon un deuxième mode de réalisation de l'invention, les potentiels de substrat des transistors PFET d'au moins un étage inverseur piloté sont pilotés par un premier signal de commande et les potentiels de substrat des transistors NFET complémentaires desdits transistors PFET sont pilotés par un second signal de commande. Avantageusement, le premier signal de commande est un signal déterminé par un premier état du circuit situé en aval dudit étage inverseur piloté et le second signal de commande est un signal déterminé par un second état du circuit situé en aval dudit étage inverseur piloté. Le signal déterminé par ledit premier état du circuit peut à cet effet être le signal de sortie d'un premier étage inverseur, dit premier étage inverseur de commande, situé en aval dudit étage inverseur piloté et le signal déterminé par ledit second état du circuit peut être celui d'un second étage inverseur, dit second étage inverseur de commande, également situé en aval dudit étage inverseur piloté. Ledit premier étage inverseur de commande est



préférentiellement séparé dudit étage inverseur piloté par un premier nombre pair ou nul d'étages inverseurs en série entre ledit étage inverseur piloté et ledit premier étage de commande. De manière similaire, ledit second étage inverseur de commande est  
 5 d'étages inverseurs en série entre ledit étage inverseur piloté et ledit second étage de commande.

Selon un troisième mode de réalisation de l'invention, les potentiels de substrat des transistors PFET d'au moins un étage inverseur piloté et les potentiels de substrat des transistors NFET complémentaires desdits transistors PFET sont tous  
 10 pilotés par des signaux de commande différents pour chacun d'eux. Avantageusement, chacun des signaux de commande est un signal déterminé par un état du circuit situé en aval dudit étage inverseur piloté et ce signal déterminé par un état du circuit peut être le signal de sortie d'un étage inverseur, dit étage inverseur de  
 commande, situé en aval dudit étage inverseur piloté. Chaque étage inverseur de  
 15 commande est préférentiellement séparé dudit étage inverseur piloté par un nombre pair ou nul d'étages inverseurs en série entre ledit étage inverseur piloté et ledit étage de commande.

De manière avantageuse, seuls les potentiels de substrat des transistors du premier étage inverseur sont pilotés, les potentiels de substrat des transistors des  
 20 étages inverseurs autres que le premier étage inverseur n'étant pas pilotés et étant par conséquent laissés flottants.

De manière alternative, les potentiels de substrat des transistors du premier étage inverseur ne sont pas les seuls à être contrôlés dynamiquement. Les potentiels de substrat des transistors autres que ceux du premier étage peuvent ainsi être soit  
 25 connectés classiquement à la tension d'alimentation pour les PFET ou à la masse pour les NFET, soit encore être commandés dynamiquement par un état du circuit situé en aval et plus particulièrement par le signal de sortie d'un étage inverseur situé en aval. De manière avantageuse, les différents étages inverseurs sont  
 successivement chaînés pour fonctionner de manière « imbriquée », les potentiels de  
 30 substrat des transistors d'un étage inverseur autre que le dernier étant pilotés par le signal de sortie de l'étage inverseur situé directement en aval et les potentiels de

substrat des transistors du dernier étage inverseur étant soit flottants, soit fixés à une tension d'alimentation.

Le circuit objet de l'invention comporte, selon le mode de réalisation préféré de l'invention, trois étages inverseurs. Les deux premiers étages inverseurs sont  
5 chaînés en série de telle sorte que le signal de sortie du premier inverseur est appliqué à l'entrée du deuxième inverseur. Le deuxième et le troisième étages inverseurs sont en outre chaînés en série de telle sorte que le signal de sortie du deuxième inverseur est appliqué à l'entrée du troisième inverseur et aux substrats des transistors du premier étage inverseur.

10 Le circuit bascule à seuils objet de l'invention réalise ainsi avantageusement une fonction Trigger de Schmitt.

D'autres caractéristiques, buts et avantages de l'invention apparaîtront à la lecture de la description détaillée qui va suivre, et au regard des dessins annexés, donnés à titre d'exemples non limitatifs et sur lesquels :

- 15 - la figure 1 représente une réalisation symétrique classique d'un circuit trigger de Schmitt ;
- la figure 2 représente un circuit trigger de Schmitt adapté du circuit classique de la figure 1 pour être porté en SOI et pour lequel les potentiels de substrat de tous les transistors sont fixés afin de ne pas les laisser flotter ;
- 20 - la figure 3a représente schématiquement le circuit trigger de Schmitt objet de l'invention ;
- la figure 3b représente plus précisément le circuit trigger de Schmitt selon le mode de réalisation préféré de l'invention ;
- la figure 4 illustre, de manière très simplifiée, le fonctionnement du circuit  
25 selon le mode de réalisation préféré de l'invention et représente les chronogrammes des différents signaux du circuit lors d'une transition du signal d'entrée IN de l'état bas à l'état haut ;
- la figure 5 illustre le fait que les tensions de seuil des transistors constituant le coeur de la fonction trigger de l'art antérieur tel qu'illustré par la figure 2, sont  
30 toujours supérieures à celles des transistors constituant le coeur de la fonction trigger objet de l'invention ;

- la figure 6 représente une réalisation élémentaire du circuit objet de l'invention ;
- la figure 7 représente une réalisation plus complexe du circuit objet de l'invention, avec la commande dissociée des potentiels de substrat des transistors NFET et PFET du coeur de la fonction trigger, conjointement à l'imbrication des étages inverseurs successifs ;
- la figure 8 représente une autre réalisation du circuit objet de l'invention, avec les commandes séparées des transistors PFET d'un même étage inverseur, conjointement aux commandes séparées des transistors NFET du même étage inverseur.

La figure 1 représente une réalisation symétrique classique du circuit CMOS trigger de Schmitt sur substrat massif. Ce circuit bien connu comporte trois transistors à effet de champ à jonction canal P (PFET), P1, P2 et P3, et trois transistors à effet de champ à jonction canal N (NFET), N1, N2 et N3. Comme on l'a déjà vu précédemment, les transistors N2 et P2 constituent l'inverseur principal du trigger de Schmitt, tandis que les deux ensembles constitués d'une part par les transistors N1 et N3 et d'autre part par les transistors P1 et P3 forment deux réseaux de rétroaction. Chacun de ces réseaux de rétroaction fixe un seuil et les deux seuils ainsi obtenus induisent, une fois réunis, un effet d'hystérésis. Ainsi, tant que la tension d'entrée  $V_{IN}$  n'a pas atteint le seuil de basculement  $V_+$  lors d'une variation positive, le signal de sortie OUT reste au niveau haut. Lorsque le signal de sortie OUT a changé d'état (il est désormais au niveau bas), la tension d'entrée  $V_{IN}$  doit redescendre sous le seuil de basculement  $V_-$  lors d'une variation négative, pour provoquer un nouveau basculement. Finalement, en fonction du sens d'évolution de la tension d'entrée  $V_{IN}$ , le basculement du trigger de Schmitt a donc lieu pour des valeurs différentes de ladite tension d'entrée  $V_{IN}$ .

Dans ce circuit non modifié pour des applications en technologie SOI, les potentiels de substrat des transistors à effet de champ sont tous laissés flottants. Du fait de la dépendance des potentiels de substrats des transistors, et donc des tensions de seuil des transistors, à l'historique du signal d'entrée, la caractéristique statique du

circuit de la figure 1 porté en SOI présente une hystérésis variable, et cela de façon indésirable et incontrôlable.

Il est donc nécessaire de disposer d'un circuit trigger de Schmitt qui, dans le cadre d'applications sur silicium sur isolant (SOI), ne présente pas les inconvénients précédemment évoqués.

Le circuit présenté dans le document US 6,441,663 consiste en une adaptation du circuit classique intégré sur substrat massif. Il est en effet montré dans ce document que le schéma du circuit trigger de Schmitt classique reste valable en technologie SOI en portant une attention particulière à la manière de contacter les substrats des transistors. Afin de s'affranchir de l'effet d'histoire, les potentiels de substrat ne doivent effectivement pas flotter.

Un tel circuit est représenté sur la figure 2. Ce schéma ne diffère du schéma classique du trigger de Schmitt illustré par la figure 1 qu'en ce que tous les transistors du circuit ont leur potentiel de substrat fixé pour ne pas être flottant. Les prises substrat des transistors à effet de champ à jonction canal P (P1, P2, P3) sont pour cela raccordées à la tension d'alimentation, alors que les prises substrat des transistors à effet de champ à jonction canal N (N1, N2, N3) sont raccordées à la masse. Dans le cadre de cette adaptation du circuit classique à des applications sur SOI, les potentiels de substrat sont tous imposés à des tensions fixes et les tensions de seuil sont en conséquence figées dans le temps, indépendamment du signal d'entrée et de son historique, ce qui permet de passer outre le problème d'effet d'histoire.

Le principe de fonctionnement du circuit de l'art antérieur de la figure 2 est le suivant. Quand le signal d'entrée IN du circuit est à l'état bas et le signal de sortie OUT du circuit est à l'état haut, le transistor N3 est passant, pré-chargeant ainsi la source du transistor N2 à une tension de seuil  $V_{th}$  sous l'alimentation (noeud N).

Lors d'une transition de 0 à  $V_{DD}$  de la tension d'entrée  $V_{IN}$ , ladite tension d'entrée du circuit  $V_{IN}$  doit monter suffisamment haut pour que le transistor N1 tire la source de N2 vers la masse plus fortement que N3 ne la tire vers l'alimentation  $V_{DD}$ . Le fonctionnement est symétrique pour une transition de la tension d'entrée  $V_{IN}$  de  $V_{DD}$  à 0, fournissant ainsi un effet d'hystérésis.

L'effet d'hystérésis introduit lors d'une transition de 0 à  $V_{DD}$  sur l'entrée est ainsi basé sur le retard de mise en conduction du transistor N2.

De par son principe de fonctionnement, on se rend compte que ce trigger est beaucoup moins efficace quand la tension d'alimentation se rapproche de la valeur de la tension de seuil  $V_{th}$  des transistors, car alors les transistors de pré-charge N3 et P3 ne remplissent plus convenablement leur rôle. L'utilisation de ce circuit est par conséquent limitée du fait de son fonctionnement dégradé à faible tension d'alimentation (ce qu'on peut améliorer avec une plus grande surface de silicium).

Comme on l'a vu précédemment, l'objet de l'invention est de disposer d'un circuit trigger de Schmitt tirant le meilleur parti de la technologie SOI et efficace notamment à faible tension d'alimentation.

Le circuit trigger de Schmitt objet de l'invention comprend au moins deux étages inverseur CMOS chaînés. Le signal d'entrée du circuit IN est appliqué sur l'entrée du premier étage inverseur.

Chaque étage inverseur comprend dans une branche supérieure au moins un transistor à effet de champ à jonction canal P (PFET), en série entre une tension d'alimentation  $V_{DD}$  et un noeud de sortie de l'étage inverseur, et dans une branche inférieure au moins un transistor à effet de champ à jonction canal N (NFET), en série entre ledit noeud de sortie de l'étage inverseur et une masse de référence. Les grilles (ou électrodes de commande) de ces transistors sont reliées ensemble et forment l'entrée de l'étage inverseur.

Le noeud de sortie de l'un des deux étages inverseurs fournit, directement ou indirectement, le signal de sortie OUT du circuit.

Les potentiels de substrat des transistors constituant le premier étage inverseur sont quant à eux pilotés dynamiquement. Ledit premier étage inverseur est alors dit étage inverseur piloté. De la sorte, chacun des potentiels de substrat des transistors constituant le premier étage inverseur peut ainsi être piloté dynamiquement par son propre signal de commande.

Avantageusement, les potentiels de substrat des transistors PFET du premier étage inverseur sont tous pilotés dynamiquement par un premier signal de commande et les potentiels de substrat des transistors NFET du premier étage inverseur sont tous

pilotés dynamiquement par un deuxième signal de commande, les premier et deuxième signaux de commande des potentiels de substrat des transistors PFET et NFET étant différents. Les potentiels de substrat des transistors PFET et NFET peuvent en option être pilotés par des signaux de commande correspondant aux signaux de sortie de deux étages inverseurs différents et autres que le premier étage inverseur. Ces étages inverseurs dont les signaux de sortie pilotent les potentiels de substrat des transistors de l'étage inverseur piloté sont dits étages inverseurs de commande.

Alternativement, le signal de commande des substrats des transistors PFET et le signal de commande des potentiels de substrat des transistors NFET sont identiques et correspondent au signal de sortie d'un étage inverseur (dit étage inverseur de commande) autre que le premier étage inverseur.

La figure 3a représente schématiquement le circuit trigger de Schmitt objet de l'invention. Ce circuit est composé de trois étages inverseurs chaînés. Le premier étage inverseur est constitué du transistor à effet de champ à jonction canal P (PFET) P1 et du transistor à effet de champ à jonction canal N (NFET) N1. Cette paire (P1, N1) de transistors complémentaires est en série entre la tension d'alimentation  $V_{DD}$  et la masse de référence. La jonction des transistors complémentaires (P1, N1) s'effectue au niveau de leurs drains qui sont connectés ensemble. Ladite jonction constitue ainsi le noeud de sortie du premier étage inverseur. Les deuxième et troisième étages inverseurs sont respectivement constitués par des inverseurs CMOS classiques  $INV_2$  et  $INV_3$ . Le signal d'entrée IN du circuit trigger de Schmitt est appliqué à l'entrée du premier inverseur. Le signal de sortie du premier étage inverseur est libellé OUT1. Le signal de sortie du deuxième étage inverseur est libellé OUT2. Le signal de sortie OUT du circuit trigger de Schmitt correspond à la sortie du troisième étage inverseur  $INV_3$ .

Les trois étages inverseurs sont chaînés de la manière suivante. Le signal de sortie OUT1 du premier étage inverseur est appliqué à l'entrée du deuxième étage inverseur  $INV_2$ , alors que le signal de sortie OUT2 du deuxième étage inverseur  $INV_2$  est appliqué à l'entrée dudit troisième étage inverseur  $INV_3$ .

Les potentiels de substrat des transistors de la paire de transistors complémentaires du premier étage inverseur (P1, N1) sont, dans ce mode de réalisation préféré de l'invention, reliés ensemble et tout deux pilotés par la tension de sortie  $V_{OUT2}$  dudit deuxième étage inverseur  $INV_2$ . Le premier étage inverseur est ainsi un étage inverseur piloté et le deuxième étage inverseur est un étage inverseur de commande.

La figure 3b représente plus précisément le circuit trigger de Schmitt selon le mode de réalisation préféré de l'invention, et notamment la constitution des deuxième et troisième étages inverseurs  $INV_2$  et  $INV_3$ . Le deuxième étage inverseur  $INV_2$  est constitué des transistors P2 (transistor PFET) et N2 (transistor NFET) en série entre la tension d'alimentation  $V_{DD}$  et la masse de référence et de la même façon, le troisième étage inverseur des transistors P3 (transistor PFET) et N3 (transistor NFET) en série entre la tension d'alimentation  $V_{DD}$  et la masse de référence.

Chaque étage inverseur  $INV_i$  est constitué par la paire de transistors complémentaires ( $P_i$ ,  $N_i$ ). La jonction des transistors complémentaires ( $P_i$ ,  $N_i$ ) s'effectue au niveau de leurs drains qui sont connectés ensemble. Ladite jonction constitue ainsi le noeud de sortie de chacun des étages inverseurs  $INV_i$ .

Dans ce mode de réalisation préféré de l'invention, les potentiels de substrat des transistors constituant les étages inverseurs, autres que le premier étage inverseur, ne sont, contrairement aux transistors du premier étage inverseur, pas pilotés; ils sont donc laissés flottants.

Le fonctionnement du circuit objet de l'invention va maintenant être décrit au regard du circuit selon le mode de réalisation préféré de l'invention illustré par la figure 3b. Le coeur de la fonction trigger de Schmitt se situe au niveau du premier étage inverseur, constitué par les transistors N1 et P1 et dont les potentiels de substrat sont contrôlés dynamiquement. Le deuxième étage inverseur, dont la tension de sortie  $V_{OUT2}$  pilote les potentiels de substrat du premier étage inverseur, constitue la commande de trigger. Le troisième et dernier étage inverseur sert à remettre en forme le signal et à garder la fonction globalement inverseuse. Cela permet de pouvoir opérer une comparaison directe avec le circuit trigger de Schmitt de l'art antérieur illustré par la figure 2.

La figure 4 illustre, de manière très simplifiée, le fonctionnement du circuit selon le mode de réalisation préféré de l'invention lors d'une transition de la tension d'entrée du circuit  $V_{IN}$  de 0 à  $V_{DD}$  et représente à cet effet les chronogrammes des différents signaux. Le chronogramme 4a représente la transition de la tension d'entrée  $V_{IN}$  du potentiel 0 au potentiel  $V_{DD}$ . Les chronogrammes 4b et 4c représentent respectivement les tensions de sortie  $V_{OUT1}$  et  $V_{OUT2}$  des premier et deuxième étages inverseurs. Le chronogramme 4d illustre les valeurs absolues des tensions de seuils  $V_{thN1}$  et  $V_{thP1}$  des transistors N1 et P1 et leur permutation lorsque la tension de sortie  $V_{OUT2}$  du deuxième étage inverseur commute. Enfin le chronogramme 4e représente le comportement de la tension de sortie  $V_{OUT}$  du circuit trigger de Schmitt en réponse à la transition de la tension d'entrée  $V_{IN}$  de 0 à  $V_{DD}$ .

Comme on peut le voir sur les figures 4b et 4c, lorsque la tension d'entrée  $V_{IN}$  du circuit est à 0, la tension de sortie  $V_{OUT1}$  du premier inverseur est à  $V_{DD}$  et la tension de sortie  $V_{OUT2}$  du deuxième inverseur est à 0.

Les potentiels de substrat des transistors N1 et P1 du premier étage inverseur sont comme on l'a vu précédemment pilotés par la tension de sortie  $V_{OUT2}$  du deuxième inverseur.  $V_{OUT2}$  étant à 0, le potentiel de substrat du transistor N1 est à 0 et celui du transistor P1 est lui aussi à 0.

Le potentiel de substrat de N1 étant à un potentiel nul, la tension de polarisation substrat-source  $V_{BS\ N1}$  du transistor N1 est également nulle. La tension de seuil  $V_{thN1}$  dudit transistor N1 est ainsi rendue maximale sur la plage de variation normale de la tension  $V_{OUT2}$ , c'est-à-dire sur  $[0 ; V_{DD}]$ . On notera, en outre, que ladite tension de seuil  $V_{thN1}$  pourrait être encore plus grande si ladite tension de polarisation substrat-source  $V_{BS\ N1}$  du transistor N1 venait à être négative, c'est-à-dire si la tension  $V_{OUT2}$  venait à être négative.

De même le potentiel de substrat du transistor P1 étant piloté par un potentiel nul, la tension de polarisation substrat-source  $V_{DS\ P1}$  est à  $-V_{DD}$ . La valeur absolue de la tension de seuil  $V_{thP1}$  dudit transistor P1 est ainsi rendue minimale. Le pilotage des substrats du premier étage inverseur par la tension de sortie  $V_{OUT2}$  du deuxième étage inverseur permet par conséquent d'obtenir un déséquilibre des valeurs absolues des



tensions de seuil des transistors complémentaires N1 et P1 du premier étage inverseur. Ce déséquilibre est illustré sur la figure 4d.

Tant que la tension d'entrée du circuit  $V_{IN}$  n'a pas atteint le seuil de basculement  $V_+$ , la tension de sortie du premier étage inverseur  $V_{OUT1}$  reste au niveau haut. Dès  
 5 lors que la tension d'entrée du circuit  $V_{IN}$  atteint et dépasse ledit seuil de basculement  $V_+$ , la tension de sortie du premier étage inverseur  $V_{OUT1}$  passe au niveau bas et le premier étage inverseur commute, comme cela est illustré sur les chronogrammes 4a et 4b. Par conséquent, et en tenant compte des délais de propagation, la tension de sortie du circuit  $V_{OUT}$  passe également au niveau bas et le circuit objet de l'invention  
 10 commute.

Du fait du déséquilibre des valeurs absolues des tensions de seuil  $V_{thN1}$  et  $V_{thP1}$ , ledit seuil de basculement  $V_+$  est supérieur au seuil de basculement  $V_{T0}$  nécessaire pour observer la commutation des transistors si les prises substrat avaient été connectées à leurs sources respectives, c'est-à-dire si les potentiels de substrat  
 15 n'avaient pas été dynamiquement contrôlés.

La valeur de la tension  $V_{T0}$  dépend entre autre du dimensionnement des transistors N1 et P1. De manière générale, lesdits transistors N1 et P1 sont dimensionnés de telle sorte que le seuil de basculement  $V_{T0}$  est égal à  $V_{DD}/2$ . Dans le cas contraire, les temps de propagation des fronts montants et descendants sont  
 20 dissymétriques, et le pas cyclique des signaux traités n'est pas conservé lors de la traversée du circuit.

La géométrie des transistors N2 et P2 du deuxième étage inverseur (c'est-à-dire l'inverseur de commande), et notamment leurs rapports largeur sur longueur, permet d'agir sur l'amplitude de l'effet hystérésis et même d'ajuster indépendamment les  
 25 deux seuils de basculement.

Lors d'une transition de la tension d'entrée du circuit  $V_{IN}$  de 0 à  $V_{DD}$ , la tension de seuil  $V_{thN1}$  du transistor N1 est supérieur à la valeur absolue de la tension de seuil  $V_{thP1}$  du transistor P1. La tension de sortie  $V_{OUT1}$  du premier étage inverseur commute à 0 lorsque la tension d'entrée du circuit  $V_{IN}$  atteint ledit seuil de  
 30 basculement  $V_+$ .

La tension de sortie  $V_{OUT2}$  du deuxième étage inverseur  $INV_2$  commute alors à  $V_{DD}$  avec un léger retard sur la commutation de la tension de sortie  $V_{OUT1}$  du premier étage inverseur. Les substrats des transistors  $N1$  et  $P1$  étant reliés à  $V_{OUT2}$ , la commutation de  $V_{OUT2}$  inverse alors le déséquilibre des tensions de seuil des transistors  $N1$  et  $P1$ . En effet, le potentiel de substrat de  $N1$  étant alors à  $V_{DD}$ , la tension de polarisation substrat-source  $V_{BS\ N1}$  du transistor  $N1$  est également à  $V_{DD}$ . La valeur de la tension de seuil  $V_{thN1}$  du transistor  $N1$  est ainsi rendue minimale. De même le potentiel de substrat du transistor  $P1$  étant également à  $V_{DD}$ , la tension de polarisation substrat-source  $V_{BS\ P1}$  est à 0. La valeur absolue de la tension de seuil  $V_{thP1}$  dudit transistor  $P1$  est ainsi rendue maximale.

Enfin, en réponse à la commutation du signal de sortie  $OUT2$  du deuxième étage inverseur, c'est-à-dire à la commutation du signal d'entrée du troisième étage inverseur, le signal de sortie  $OUT$  du troisième étage inverseur, qui est aussi le signal de sortie du circuit, passe de l'état haut à l'état bas.

Le fonctionnement du circuit est symétrique pour une transition de la tension d'entrée du circuit  $V_{IN}$  du potentiel  $V_{DD}$  au potentiel 0.

Lorsque la tension d'entrée  $V_{IN}$  du circuit est à  $V_{DD}$ , la tension de sortie  $V_{OUT1}$  du premier étage inverseur est à 0 et la tension de sortie  $V_{OUT2}$  du deuxième étage inverseur est à  $V_{DD}$ . Les potentiels de substrat des transistors  $N1$  et  $P1$  sont alors à  $V_{DD}$ . La tension de polarisation substrat-source  $V_{BS\ N1}$  du transistor  $N1$  est ainsi à  $V_{DD}$  et la valeur de la tension de seuil  $V_{thN1}$  dudit transistor  $N1$  est donc rendue minimale. La tension de polarisation substrat-source  $V_{BS\ P1}$  est elle à 0 et la valeur absolue de la tension de seuil  $V_{thP1}$  dudit transistor  $P1$  est donc rendue maximale.

La commutation du premier étage inverseur se produit alors lorsque la tension d'entrée du circuit  $V_{IN}$  atteint le seuil de basculement  $V_{\cdot}$ . Ledit seuil de basculement  $V_{\cdot}$  est inférieur au seuil de basculement  $V_{T0}$  nécessaire pour observer la commutation des transistors si les prises substrat avaient été connectées à leurs sources respectives. Dans ce cas, on rappelle qu'il n'y aurait pas eu d'effet d'hystérésis et que la commutation de la tension d'entrée du circuit  $V_{IN}$  n'aurait eu lieu que lorsque  $V_{IN}$  aurait atteint le seuil de basculement  $V_{T0}$ , et cela quel qu'aurait été son sens d'évolution.

Le signal de sortie OUT2 du deuxième étage inverseur commute alors à 0 avec un léger retard sur la commutation du signal de sortie OUT1 du premier étage inverseur. La commutation de OUT2 inverse alors le déséquilibre des valeurs absolues des tensions de seuil  $V_{thN1}$  et  $V_{thP1}$  des transistors N1 et P1. Enfin, en  
 5 réponse à la commutation du signal de sortie OUT2 du deuxième étage inverseur, c'est-à-dire à la commutation du signal d'entrée du troisième étage inverseur, le signal de sortie OUT du troisième étage inverseur, qui est aussi le signal de sortie du circuit, passe de l'état bas à l'état haut.

On a vu précédemment que lorsque OUT2 commute, le sens de l'inégalité entre  
 10 les valeurs absolues des tensions de seuil  $V_{thN1}$  et  $V_{thP1}$  des transistors N1 et P1 change. La transconductance des transistors complémentaires N1 et P1 du premier étage inverseur est alors modifiée. Cette modification implique une cassure dans la descente de la tension  $V_{OUT1}$ . Le front de  $V_{OUT1}$  devient effectivement plus raide lors  
 15 de la commutation à cause de la baisse de la valeur absolue de la tension de seuil du transistor rentrant en conduction (quand  $V_{IN}$  monte, N1 rentre en conduction et  $V_{thN1}$  baisse ; réciproquement, quand  $V_{IN}$  descend, P1 rentre en conduction et la valeur absolue de  $V_{thP1}$  baisse). Cette cassure ne reste cependant observable que si les temps  
 20 de propagation élémentaires des inverseurs sont négligeables devant le temps de montée du signal  $V_{IN}$ . Et les deuxième et troisième étages inverseurs permettent de fortement réduire cette cassure du fait de leurs gains en tension élevés.

Le trigger de Schmitt objet de l'invention se distingue donc notamment de l'art  
 antérieur par la manière dont est introduit le phénomène d'hystérésis. La figure 5 illustre le fait que les valeurs absolues des tensions de seuil  $V_{th}$  des transistors du  
 25 coeur de la fonction trigger sont toujours plus faibles dans le cadre de l'invention que dans le cadre de l'art antérieur. Le coeur de la fonction trigger est, dans le cadre de l'invention, le couple de transistors (N1 ; P1) (cf. figures 3a et 3b) alors qu'il est, dans le cadre de l'art antérieur, le couple (N2 ; P2) (cf. figure 2).

Lors du fonctionnement du circuit trigger de l'art antérieur, les transistors N2 et P2 ont pour tensions de seuils effectives les tensions de seuils équivalentes  $V_{thN2eq}$  et  
 30  $V_{thP2eq}$ . Lesdites tensions de seuils équivalentes  $V_{thN2eq}$  et  $V_{thP2eq}$  sont effectivement différentes des véritables tensions de seuils  $V_{thN2}$  et  $V_{thP2}$  des transistors N2 et P2

respectivement, car modifiées par les réseaux de rétroaction présentés précédemment. Et lesdites tensions de seuils équivalentes  $V_{thN2eq}$  et  $V_{thP2eq}$  sont supérieures en valeur absolue aux véritables tensions de seuil du fait desdits réseaux de rétroaction, ce qui réclame une plus grande énergie de la part du générateur d'entrée du circuit et ralentit la mise en conduction du transistor.

Le diagramme sur la gauche de la figure 5 illustre le cas où la tension d'entrée du circuit  $V_{IN}$  augmente. Dans le cadre de l'invention la tension de seuil  $V_{thN1}$  du transistor N1 est alors supérieure à la valeur absolue de la tension de seuil  $V_{thP1}$  du transistor P1. Dans le cadre de l'art antérieur, la tension de seuil équivalente  $V_{thN2eq}$  du transistor N2 est alors supérieure à la valeur absolue de la tension de seuil équivalent  $V_{thP2eq}$  du transistor P2. Et les tensions de seuil  $[V_{thN1}, \text{abs}(V_{thP1})]$  des transistors de la fonction trigger de l'invention sont inférieures à celles  $[V_{thN2eq}, \text{abs}(V_{thP2eq})]$  de la fonction trigger de l'art antérieur impliquant de fait un fonctionnement plus rapide de l'invention. Réciproquement, le diagramme sur la droite de la figure 5 illustre le cas où la tension d'entrée du circuit  $V_{IN}$  diminue. Dans le cadre de l'invention la valeur absolue de la tension de seuil  $V_{thP1}$  du transistor P1 est alors supérieure à la valeur de la tension de seuil  $V_{thN1}$  du transistor N1. Dans le cadre de l'art antérieur, la valeur absolue de la tension de seuil équivalente  $V_{thP2eq}$  du transistor P2 est alors supérieure à la valeur de la tension de seuil équivalent  $V_{thN2eq}$  du transistor N2. Et les tensions de seuil  $[\text{abs}(V_{thP1}), V_{thN1}]$  des transistors de la fonction trigger de l'invention sont inférieures à celles  $[\text{abs}(V_{thP2eq}), V_{thN2eq}]$  de la fonction trigger de l'art antérieur impliquant de fait un fonctionnement plus rapide de l'invention.

Au vu de la description qui précède, on comprend que le principe de fonctionnement du circuit trigger de Schmitt objet de l'invention consiste à contrôler dynamiquement le potentiel de substrat des transistors complémentaires. Grâce à cela, la valeur absolue de la tension de seuil du transistor passant est abaissée avant qu'une commutation de l'entrée n'intervienne, puis, en préparation d'une nouvelle commutation en sens inverse, ladite valeur absolue de ladite tension de seuil est rétablie à sa valeur nominale et la valeur absolue de la tension de seuil de l'autre transistor complémentaire est abaissée. Et comme on l'a vu précédemment,

l'abaissement de la valeur absolue de la tension de seuil des transistors est réalisé en augmentant la valeur absolue de leur tension de polarisation substrat-source  $V_{BS}$ .

Les caractéristiques statiques et dynamiques du circuit de l'invention ont été comparées à celles du circuit de l'état de l'art. Il s'avère que le circuit de l'invention est plus performant que le circuit de l'art antérieur. Ainsi, à immunité au bruit équivalente, et cela pour toute une plage de tensions d'alimentation, la facteur de mérite (prenant en compte aussi bien la rapidité, la consommation totale que la surface de silicium) de l'invention est plus performant que celui de l'art antérieur.

On comprend bien, et notamment au regard de la description du fonctionnement du circuit selon le mode de réalisation préféré de l'invention qui précède, qu'un circuit composé de deux étages inverseurs et dont on commande les potentiels de substrat des transistors du premier étage inverseur par le signal de sortie du second étage inverseur remplit également la fonction requise, et cela à une inversion près, et tire bien lui aussi le meilleur parti de la technologie SOI.

La figure 6 illustre un autre mode de réalisation du circuit inverseur à hystérésis objet de l'invention. Ce schéma représente une réalisation élémentaire de l'invention qui s'apparente de part son dessin au circuit de l'art antérieur illustré par la figure 2. Cette réalisation élémentaire ne comprend avantageusement que quatre transistors.

Le coeur de la fonction trigger est constitué par les transistors P1 (transistor PFET) et N1 (transistor NFET) en série entre la tension d'alimentation  $V_{DD}$  et la masse de référence.

Les grilles des transistors P1 et N1 sont reliées ensemble pour recevoir le signal d'entrée IN du circuit, tandis que les drains des transistors P1 et N1 sont reliés ensemble pour fournir le signal de sortie OUT du circuit.

Ledit signal de sortie OUT du circuit est également appliqué aux grilles de deux transistors P2 (transistor PFET) et N2 (transistor NFET). Les transistors P2 et N2 réalisent la fonction de commande dynamique des potentiels de substrat des transistors P1 et N1.

Le potentiel de substrat du transistor P1 est commandé dynamiquement par le signal au drain dudit transistor N2 et le potentiel de substrat du transistor N1 est commandé dynamiquement par le signal au drain dudit transistor P2. La source et la

prise substrat du transistor N2 sont quant à eux fixées à la masse, tandis que la source et la prise substrat du transistor P2 sont fixées à la tension d'alimentation  $V_{DD}$ .

De manière avantageuse, les prises substrat des transistors N1 et P1 peuvent en outre être reliées ensemble et partager la même commande dynamique.

5       Finalement, on notera que le circuit objet du mode de réalisation représenté par la figure 6 comporte deux inverseurs CMOS chaînés en série dont la sortie du second inverseur pilote les substrats des transistors du premier inverseur ; la sortie du circuit étant donnée, non pas par la sortie du second inverseur, mais pas la sortie du premier inverseur.

10       En fonction de l'objectif recherché pour l'optimisation du circuit objet de l'invention (immunité au bruit, vitesse, consommation, compacité), ledit circuit peut se décliner selon différentes variantes. Et les caractéristiques desdites variantes peuvent avantageusement être prises seules ou selon toutes leurs combinaisons possibles pour la réalisation d'un circuit bascule à hystérésis selon l'invention :

15       - Les potentiels de substrat des transistors PFET d'au moins un étage inverseur piloté, avantageusement le premier, peuvent être pilotés par un premier signal de commande et les potentiels de substrat des transistors NFET complémentaires peuvent être pilotés par un second signal de commande, c'est-à-dire que l'on peut avantageusement dissocier la commande des potentiels de substrat des transistors  
20 PFET de la commande des potentiels de substrat des transistors NFET. Avantageusement, ledit premier signal de commande est un signal déterminé par un premier état du circuit situé en aval dudit étage inverseur piloté et le second signal de commande est un signal déterminé par un second état du circuit situé en aval dudit  
25 étage inverseur piloté. Le signal déterminé par ledit premier état du circuit peut à cet effet être le signal de sortie d'un premier étage inverseur, dit premier étage inverseur de commande, situé en aval dudit étage inverseur piloté et le signal déterminé par ledit second état du circuit celui d'un second étage inverseur, dit second étage inverseur de commande, également situé en aval dudit étage inverseur piloté.

La figure 7 illustre notamment un tel cas de figure dans lequel la commande  
30 des potentiels de substrat des transistors N1 et P1 constituant le premier étage inverseur est dissociée. Le premier étage inverseur est ici un étage inverseur piloté.

Le potentiel de substrat du transistor P1 est contrôlé dynamiquement par la tension de sortie  $V_{OUT2p}$  d'un premier étage inverseur de commande  $INV_{P2}$ . Le potentiel de substrat du transistor N1 est quant à lui contrôlé dynamiquement par la tension de sortie  $V_{OUT2n}$  d'un second étage inverseur de commande  $INV_{N2}$ .

- 5        - Les potentiels de substrat des transistors PFET d'au moins un étage inverseur piloté, avantageusement le premier étage inverseur, peuvent ne pas être tous pilotés par un même signal de commande et les potentiels de substrat des transistors NFET complémentaires peuvent de la même façon ne pas être pilotés par un même signal de commande, c'est-à-dire que l'on peut avantageusement dissocier les commandes
- 10 des potentiels de substrat des transistors PFET entre eux (et respectivement celles des transistors NFET complémentaires). De manière avantageuse, il est possible de regrouper des paires de transistors PFET et NFET pour piloter leurs potentiels de substrats par un même signal de commande. Par exemple, un premier signal de commande pilote les potentiels de substrat de certaines paires de transistors PFET et
- 15 NFET (ledit premier signal de commande étant un signal déterminé par un premier état du circuit situé en aval dudit étage inverseur piloté) et un second signal de commande pilote les potentiels de substrat des autres paires de transistors PFET et NFET (ledit second signal de commande étant un signal déterminé par un second état du circuit situé en aval dudit étage inverseur piloté). Le signal déterminé par ledit
- 20 premier état du circuit peut à cet effet être le signal de sortie d'un premier étage inverseur, dit premier étage inverseur de commande, situé en aval dudit étage inverseur piloté et le signal déterminé par ledit second état du circuit celui d'un second étage inverseur, dit second étage inverseur de commande, également situé en aval dudit étage inverseur piloté. Chaque étage inverseur de commande est
- 25 préférablement séparé dudit étage inverseur piloté par un nombre pair ou nul d'étages inverseurs en série entre ledit étage inverseur piloté et ledit étage de commande.

A ce propos, la figure 8 représente un circuit selon l'invention comprenant quatre étages inverseurs et dans lequel le premier étage inverseur, dit étage inverseur piloté, est constitué d'une branche supérieure comprenant deux transistors PFET P1,

30 P2 et d'une branche inférieure comprenant deux transistors NFET complémentaires

N2, N1. Les potentiels de substrat des transistors P2 et N2 compris dans un premier regroupement d'au moins une paire de transistors PFET et NFET sont contrôlés dynamiquement par la tension de sortie  $V_{OUT2}$  du deuxième étage inverseur  $INV_2$ , dit étage inverseur de commande. Les potentiels de substrat des transistors P1 et N1  
5 compris dans un second regroupement d'au moins une paire de transistors PFET et NFET sont quant à eux contrôlés dynamiquement par la tension de sortie  $V_{OUT4}$  d'un quatrième étage inverseur  $INV_4$ , dit étage inverseur de commande. Les étages inverseurs de commande  $INV_2$  et  $INV_4$  sont chacun séparés dudit étage inverseur piloté par un nombre pair ou nul d'étages inverseurs en série : l'étage inverseur de  
10 commande  $INV_2$  est situé immédiatement en aval dudit étage inverseur piloté (le nombre d'étages inverseurs intercalés entre ledit étage inverseur piloté et  $INV_2$  étant alors nul) et l'étage inverseur de commande  $INV_4$  est séparé de l'étage inverseur piloté par les étages inverseurs  $INV_2$  et  $INV_3$  (le nombre pair étant alors égal à deux). Enfin on notera que la sortie OUT du circuit est prise directement à la sortie OUT3  
15 du troisième étage inverseur  $INV_3$ .

- Chaque étage inverseur peut être constitué d'un nombre non systématiquement égal de transistors PFET et NFET en série entre le premier et le second potentiel d'alimentation. Cela permet de décaler avantageusement la caractéristique de transfert du circuit à hystérésis par rapport à la moitié de la tension d'alimentation  
20  $V_{DD}/2$  ce qui peut être utile pour des applications spécifiques. L'exemple le plus simple consiste, dans le cadre de cette variante, à mettre par exemple deux NFET et un seul PFET en série entre l'alimentation et la masse pour la constitution d'un étage inverseur.

- Chaque étage inverseur peut également être réalisé au moyen d'un nombre  
25 impair d'inverseurs élémentaires chaînés en série.

- Les potentiels de substrat des transistors du premier étage peuvent ne pas être les seuls à être contrôlés dynamiquement. Les potentiels de substrat des transistors autres que ceux du premier étage peuvent ainsi être soit laissés flottants, soit être connectés classiquement à la tension d'alimentation pour les PFET ou à la masse  
30 pour les NFET, soit encore être commandés dynamiquement par un état du circuit situé en aval et plus particulièrement par le signal de sortie d'un étage inverseur situé



en aval. De manière avantageuse, le circuit objet de l'invention comprend une pluralité d'étages inverseurs successivement chaînés fonctionnant de manière « imbriquée », ce qui permet d'amplifier la commande de rétroaction. Les potentiels de substrat des transistors d'un étage inverseur autre que le dernier sont pour cela

5 pilotés par le signal de sortie de l'étage inverseur situé directement en aval dans la chaîne d'inverseurs et les potentiels de substrat des transistors du dernier étage inverseur sont soit flottants, soit fixés à une tension d'alimentation.

La figure 7 illustre, conjointement à la caractéristique d'une commande dissociée des prises substrat des transistors NFET et PFET, une telle imbrication des

10 étages inverseurs. Ainsi le potentiel de substrat du transistor PFET P1 du premier étage inverseur est piloté par la tension de sortie  $V_{OUT2p}$  de l'inverseur  $INV_{P2}$  et le potentiel de substrat des transistors de l'inverseur  $INV_{P2}$  est piloté par la tension de sortie  $V_{OUT}$  de l'inverseur  $INV_{P3}$ . Symétriquement, le potentiel de substrat du transistor NFET N1 du premier étage inverseur est piloté par la tension de sortie

15  $V_{OUT2n}$  de l'inverseur  $INV_{N2}$  et le potentiel de substrat des transistors de l'inverseur  $INV_{N2}$  est piloté par la tension de sortie  $V_{OUT}$  de l'inverseur  $INV_{N3}$ .

Bien entendu, l'invention n'est pas limitée aux modes de réalisation particuliers qui viennent d'être décrits, mais s'étend à toute bascule à hystérésis, inverseuse ou non, conforme à son esprit. En particulier, l'invention ne concerne pas

20 uniquement un circuit bascule à hystérésis mais s'étend à tout circuit intégré sur substrat semi-conducteur sur isolant, et notamment sur un substrat SOI, comprenant un tel circuit bascule à hystérésis objet de l'invention.

**REVENDECATIONS**

- 5 1. Circuit bascule à hystérésis en technologie semi-conducteur sur isolant, caractérisé en ce qu'il comprend au moins deux étages inverseurs CMOS, chaque étage inverseur étant constitué d'une première branche comprenant au moins un transistor à effet de champ à jonction canal P (PFET) en série entre un premier potentiel d'alimentation  $V_{DD}$  et un noeud de sortie de l'étage inverseur et d'une seconde branche comprenant au moins un transistor à effet
- 10 de champ à jonction canal N (NFET) en série entre ledit noeud de sortie de l'étage inverseur et un second potentiel d'alimentation, lesdits transistors de chacun des étages inverseurs ayant leurs grilles connectées ensemble pour recevoir un signal d'entrée, l'entrée de chacun des inverseurs recevant directement ou indirectement le signal d'entrée dudit circuit, le signal de sortie
- 15 du circuit étant obtenu directement ou indirectement par le signal de sortie de l'un des étages inverseurs, et en ce que le potentiel de substrat de chacun des transistors d'au moins un étage inverseur, dit étage inverseur piloté, est piloté dynamiquement par un signal de commande issu dudit circuit.
- 20 2. Circuit selon la revendication 1, caractérisé en ce que les signaux de commande pilotant lesdits potentiels de substrat des transistors PFET et NFET d'au moins un étage inverseur piloté sont des signaux déterminés par des états du circuit situé en aval dudit étage inverseur piloté.
- 25 3. Circuit selon la revendication précédente, caractérisé en ce que lesdits signaux déterminés par des états du circuit situé en aval dudit étage inverseur piloté sont les signaux de sortie d'étages inverseurs, dits étages inverseurs de commande, situés en aval dudit étage inverseur piloté.

4. Circuit selon la revendication précédente, caractérisé en ce que lesdits étages inverseurs de commande sont séparés dudit étage inverseur piloté par un nombre pair ou nul d'étages inverseurs.

5 5. Circuit selon l'une des revendications 1 à 4, caractérisé en ce que les potentiels de substrat des transistors complémentaires PFET et NFET d'au moins un étage inverseur piloté sont pilotés par un même signal de commande.

10 6. Circuit selon l'une des revendications 1 à 4, caractérisé en ce que les potentiels de substrat des transistors PFET d'au moins un étage inverseur piloté sont pilotés par un premier signal de commande et les potentiels de substrat des transistors NFET complémentaires desdits transistors PFET sont pilotés par un second signal de commande.

15 7. Circuit selon l'une des revendications 1 à 4, caractérisé en ce que les potentiels de substrat des transistors PFET d'au moins un étage inverseur piloté et les potentiels de substrat des transistors NFET complémentaires desdits transistors PFET sont tous pilotés par des signaux de commande différents.

20 8. Circuit selon l'une des revendications 1 à 4, caractérisé en ce que les potentiels de substrat des transistors d'au moins un étage inverseur piloté compris dans un regroupement d'au moins une paire de transistors complémentaires PFET et NFET sont pilotés par un même signal de commande.

25 9. Circuit selon l'une des revendications précédentes, caractérisé en ce que les transistors du premier étage inverseur ont leur potentiel de substrat piloté.

30 10. Circuit selon l'une des revendications précédentes, caractérisé en ce qu'il comprend trois étages inverseurs.

11. Circuit selon la revendication précédente, caractérisé en ce que les deux premiers étages inverseurs sont chaînés de telle sorte que le signal de sortie du premier inverseur est appliqué à l'entrée du deuxième inverseur.
- 5 12. Circuit selon la revendication précédente, caractérisé en ce que le deuxième et le troisième étages inverseurs sont chaînés de telle sorte que le signal de sortie du deuxième inverseur est appliqué à l'entrée du troisième inverseur.
- 10 13. Circuit selon l'une des revendications précédentes, caractérisé en ce que seuls les potentiels de substrat des transistors du premier étage inverseur sont pilotés dynamiquement, les potentiels de substrat des transistors des étages inverseurs autres que le premier étage inverseur n'étant pas pilotés et étant soit laissés flottants soit fixés aux potentiels d'alimentation du circuit.
- 15 14. Circuit selon l'une des revendications 1 à 12, caractérisé en ce que les potentiels de substrat des transistors d'un étage inverseur autre que le dernier étage inverseur sont pilotés dynamiquement par le signal de sortie de l'étage inverseur situé directement en aval, les potentiels de substrat des transistors du dernier étage inverseur étant soit laissés flottants soit fixés aux potentiels d'alimentation du circuit.
- 20 15. Circuit selon l'une des revendications précédentes, caractérisé en ce que le circuit bascule à hystérésis est un circuit Trigger de Schmitt.
- 25 16. Circuit selon l'une des revendications précédentes, caractérisé en ce qu'il est réalisé en technologie semi-conducteur sur isolant.
- 30 17. Circuit intégré sur substrat semi-conducteur sur isolant, caractérisé en ce qu'il comprend au moins un circuit bascule à hystérésis selon l'une des revendications précédentes.

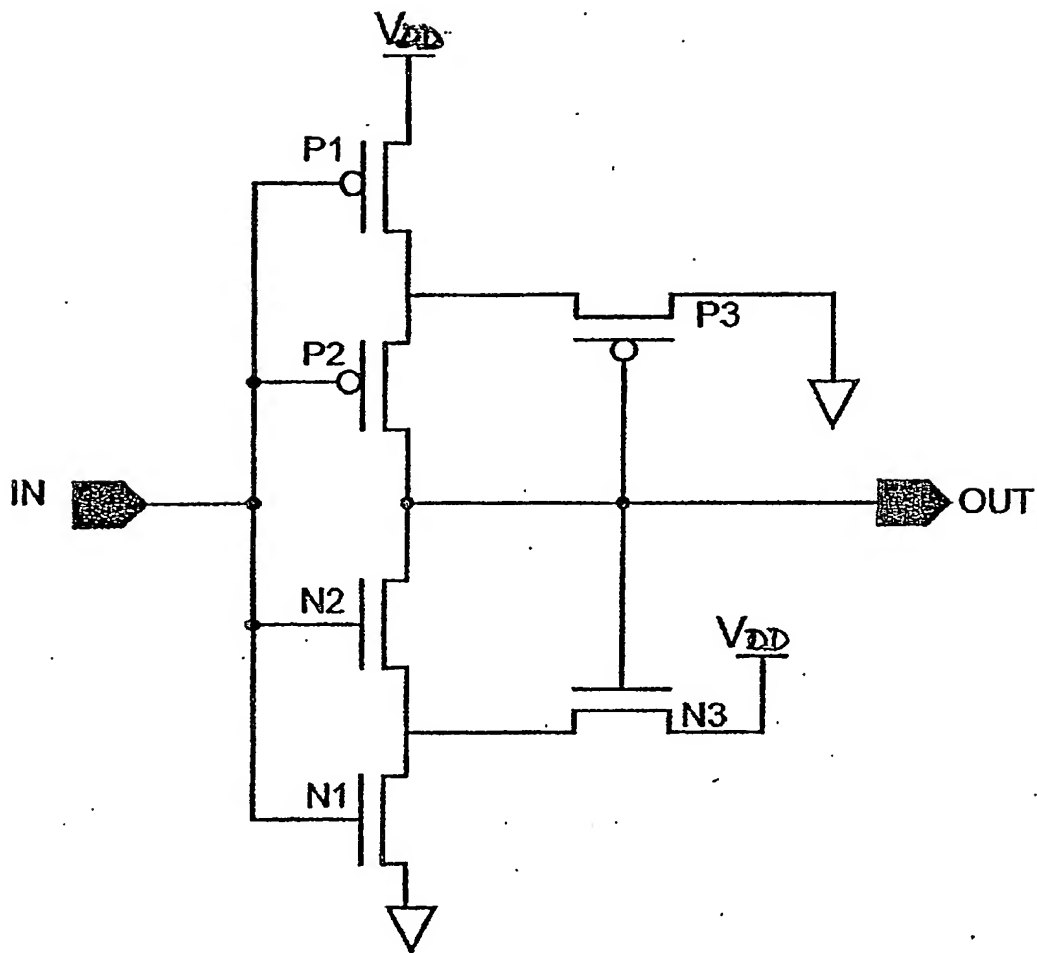


Figure 1

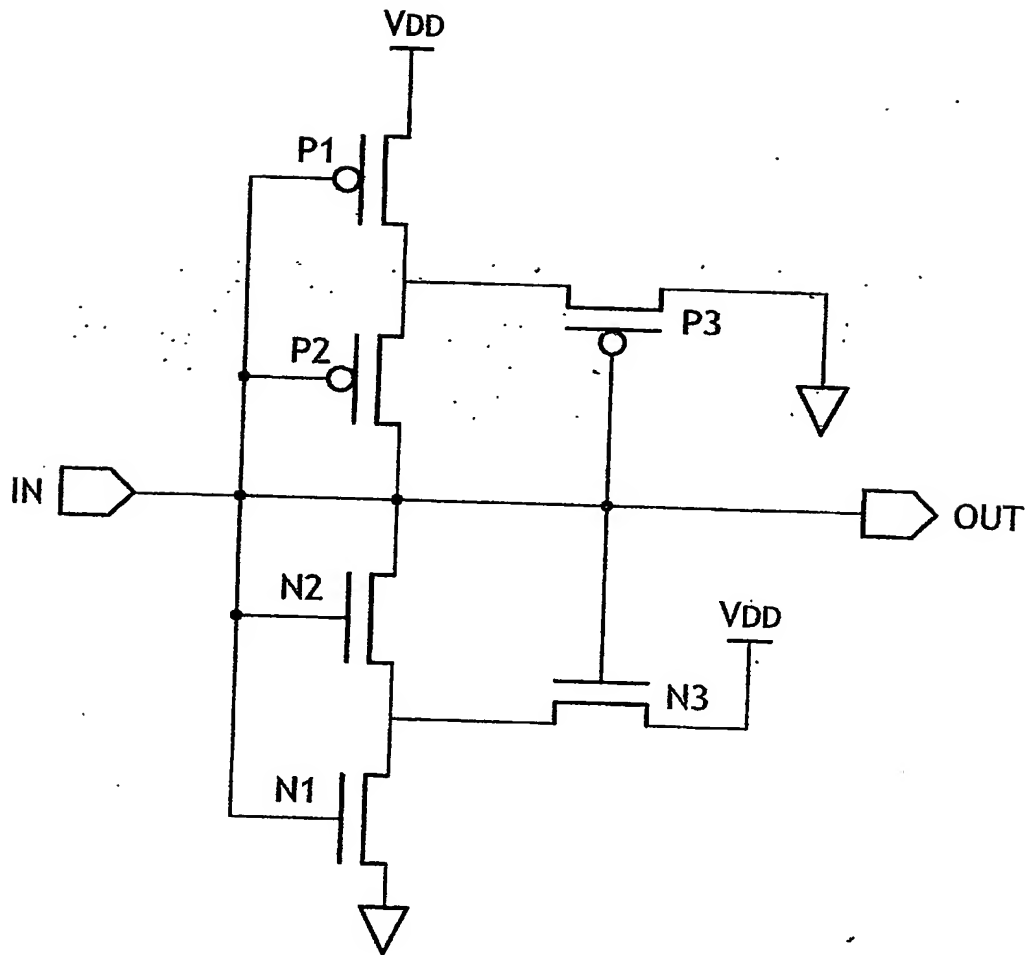


FIG.1

2/9

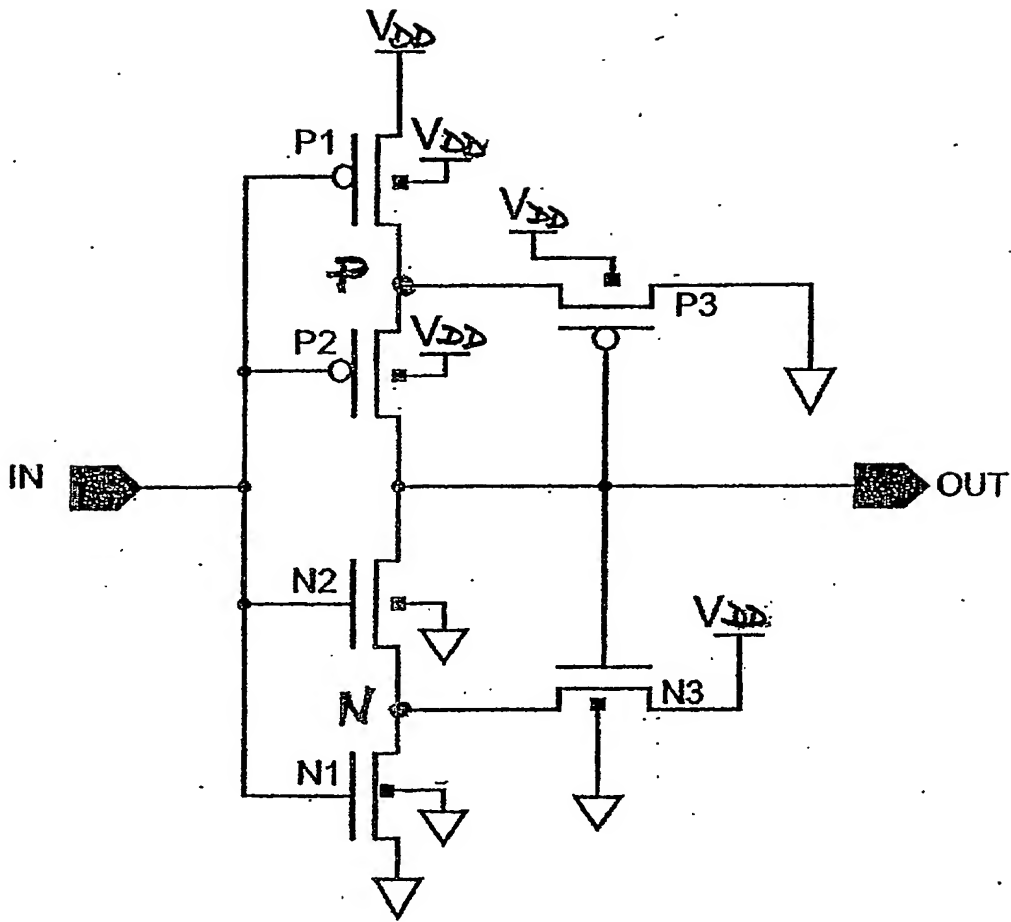


Figure 2

2/8

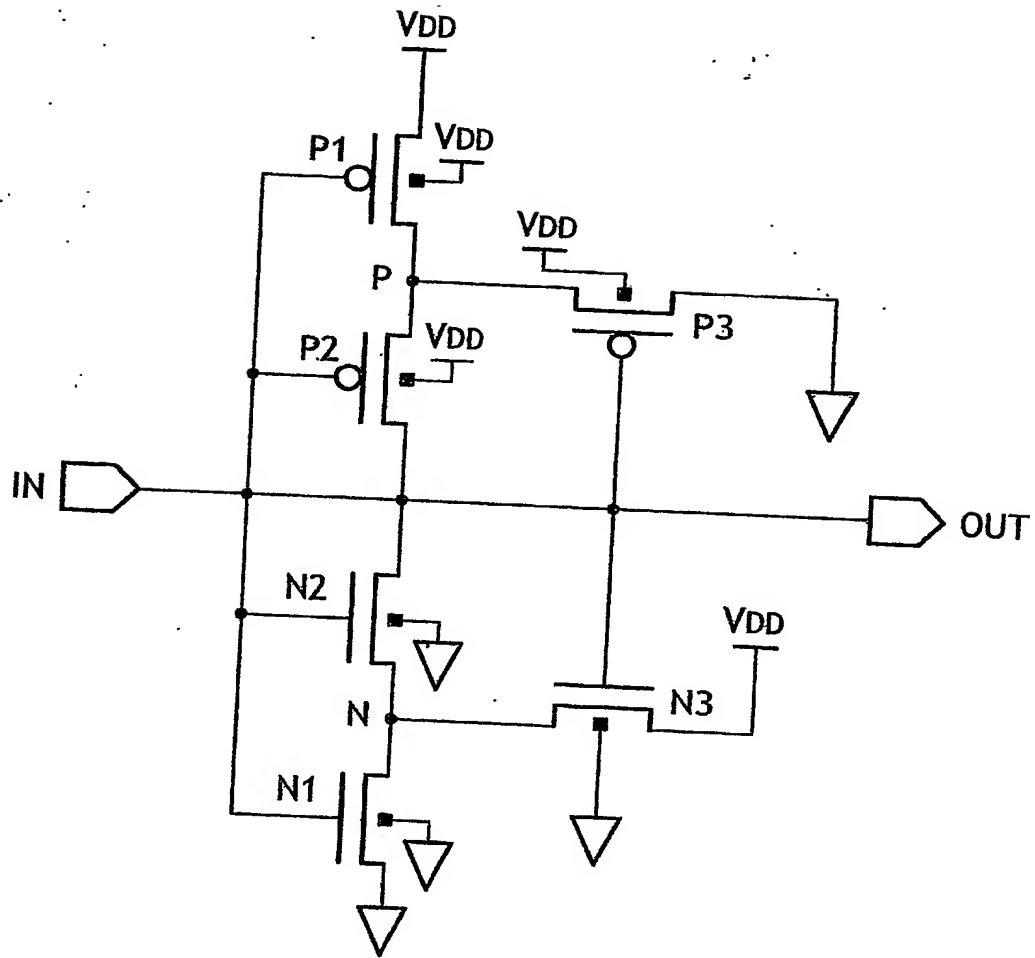


FIG.2



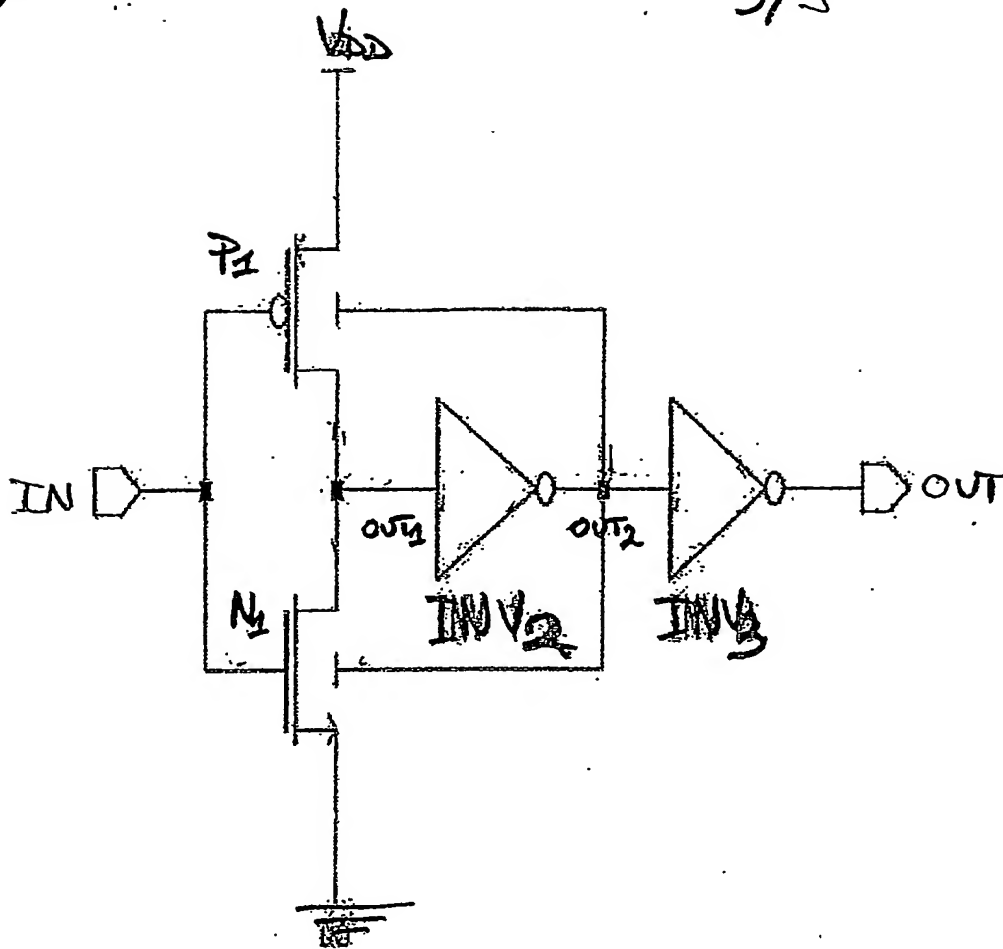


Figure 3a

3/8

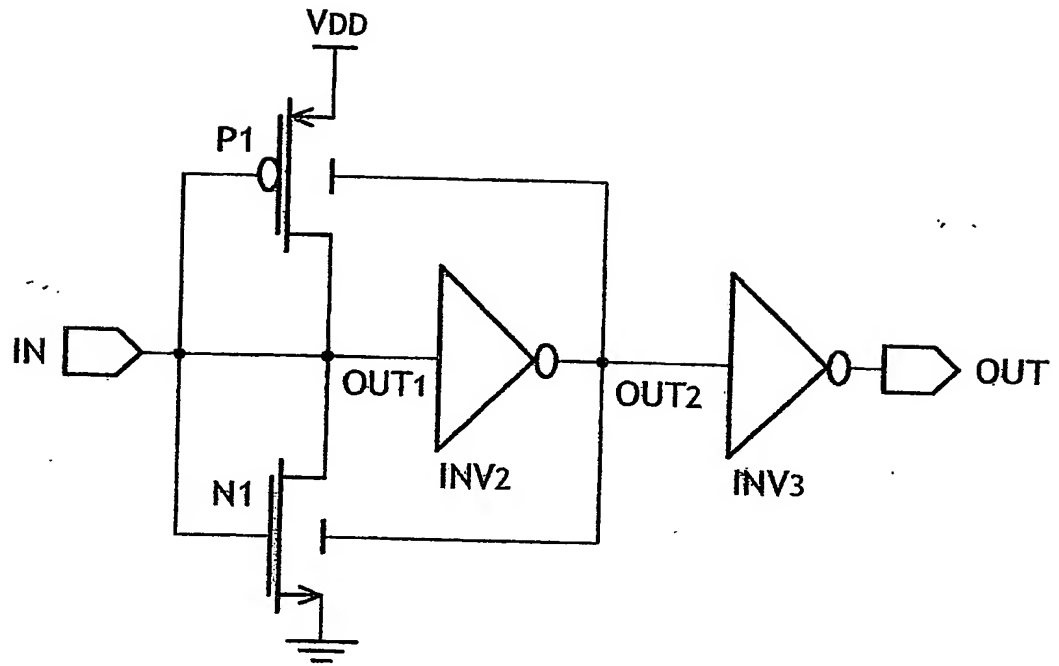


FIG.3a

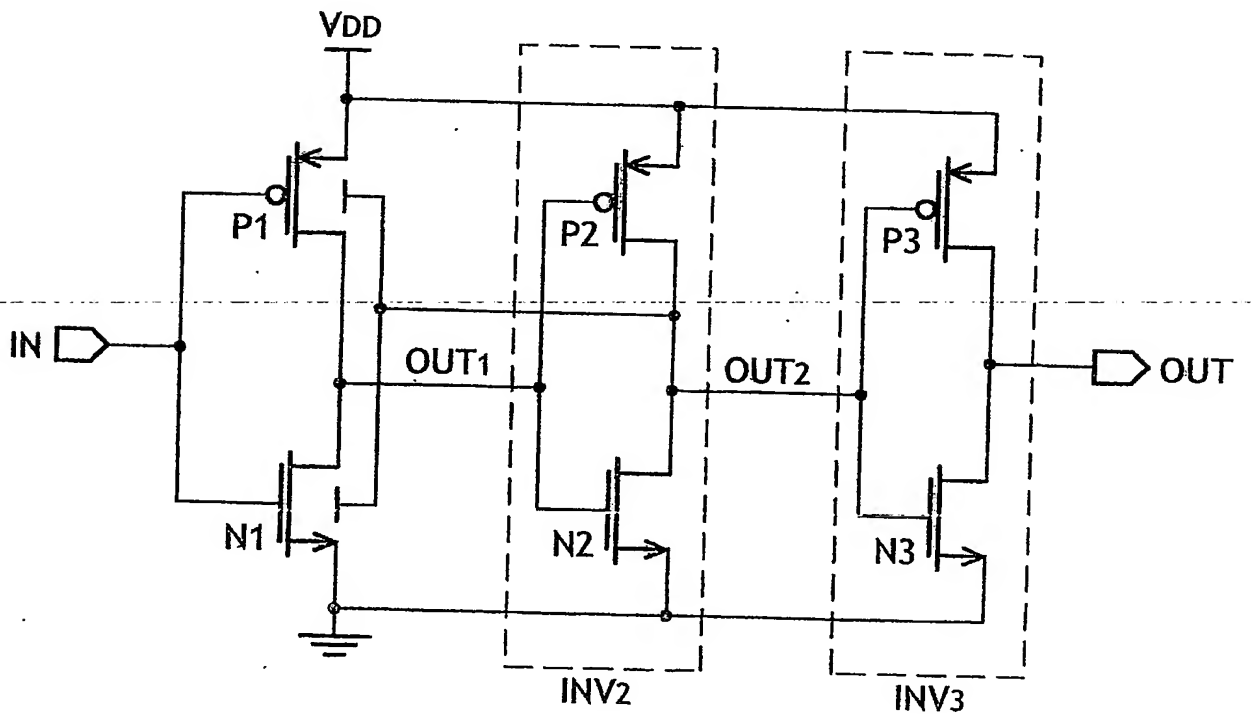


FIG.3b

4/9

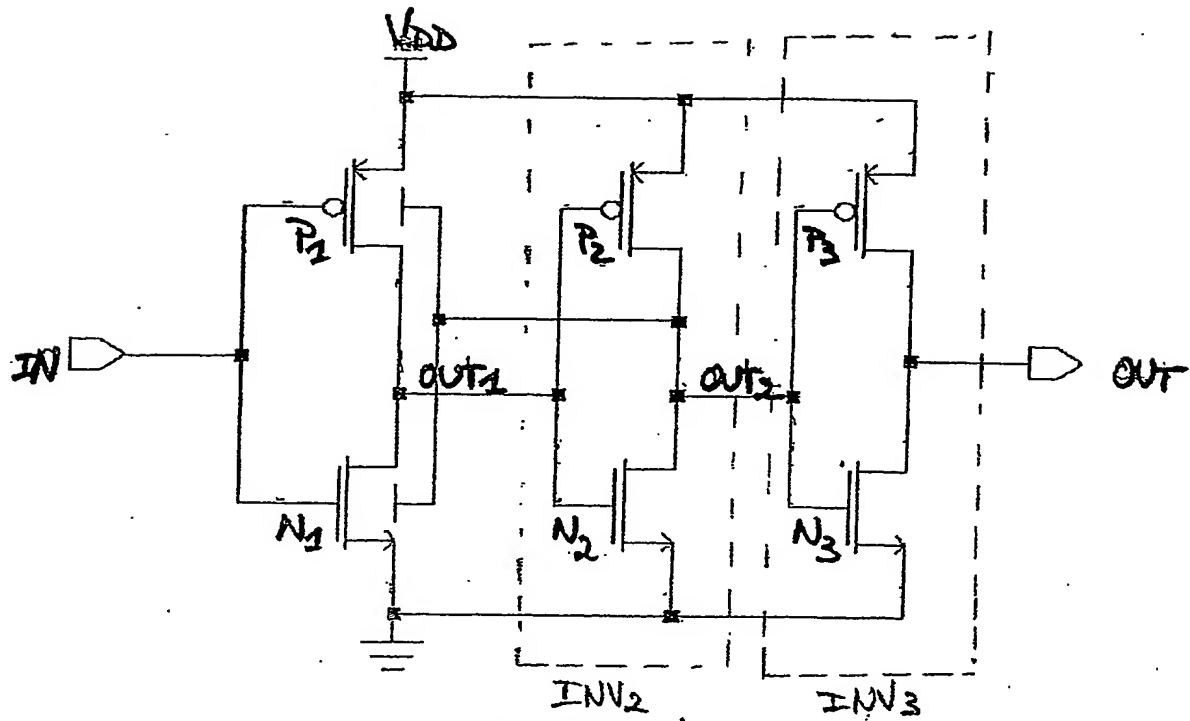


FIGURE 3b

4/8

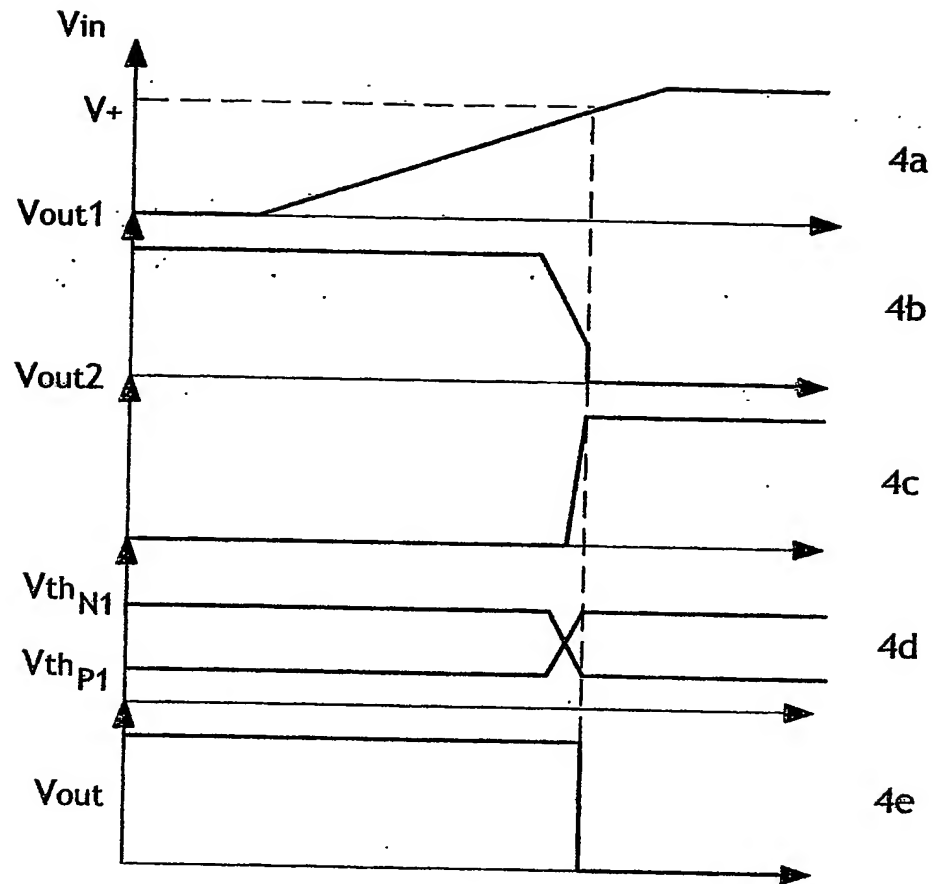


FIG.4

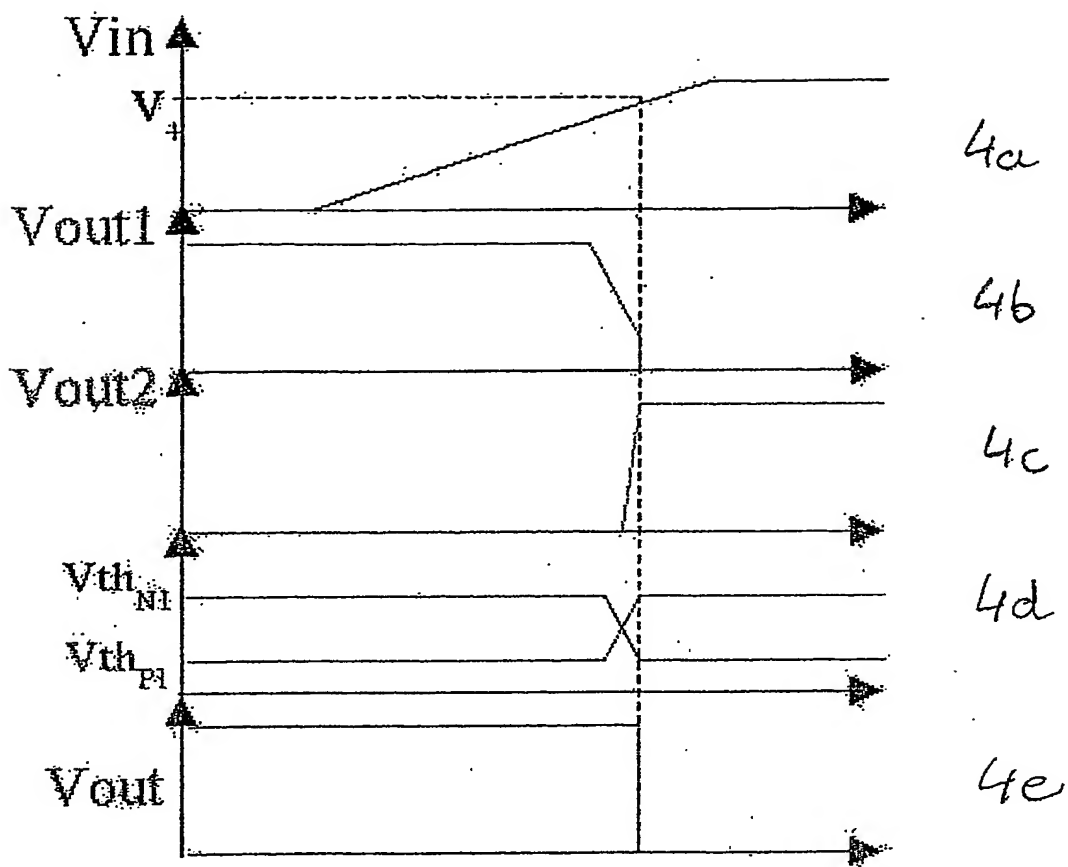
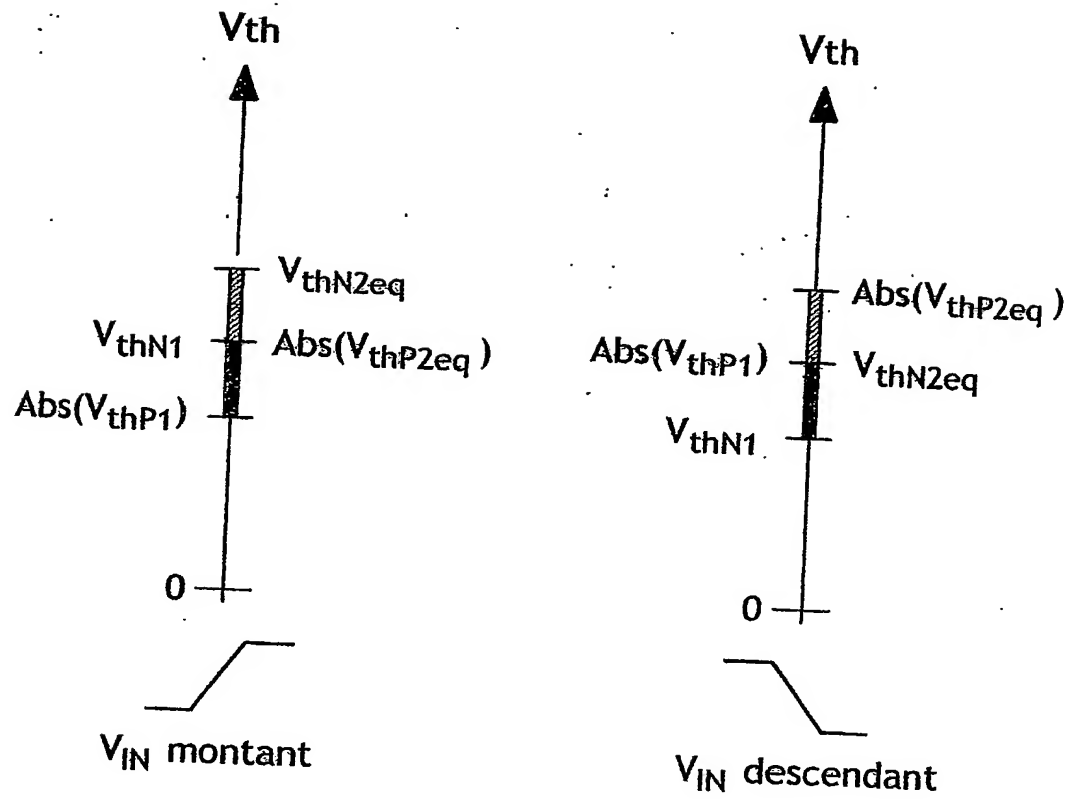


Figure 4

FIG.5

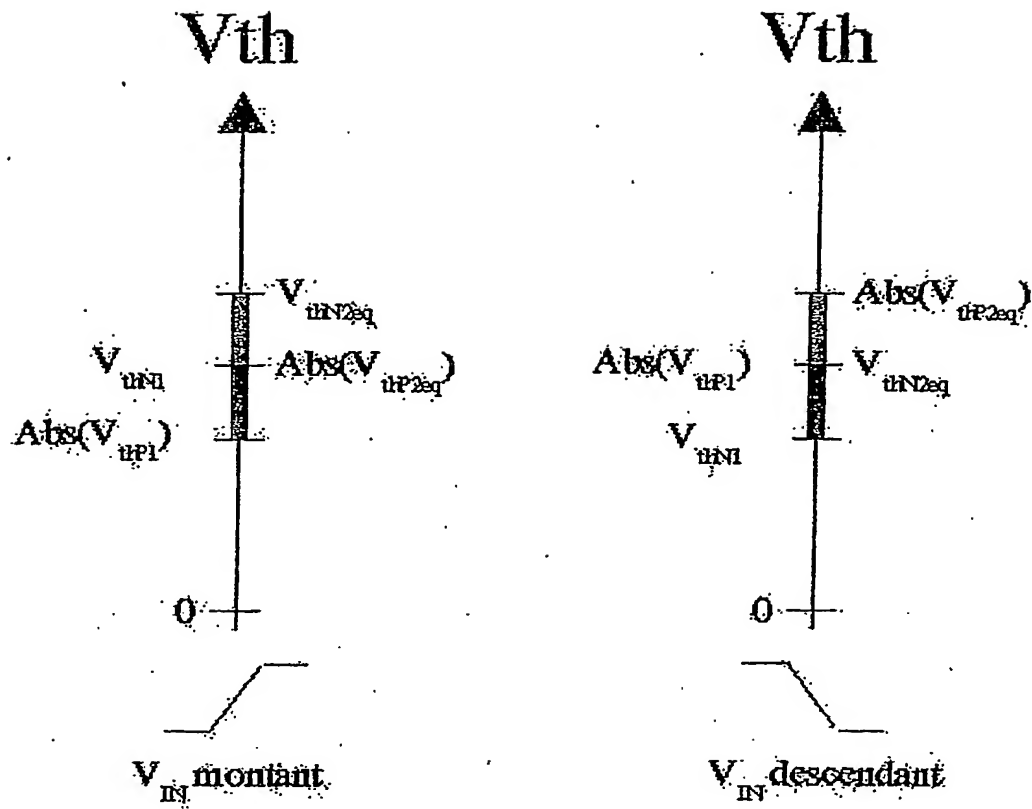


Figure 5

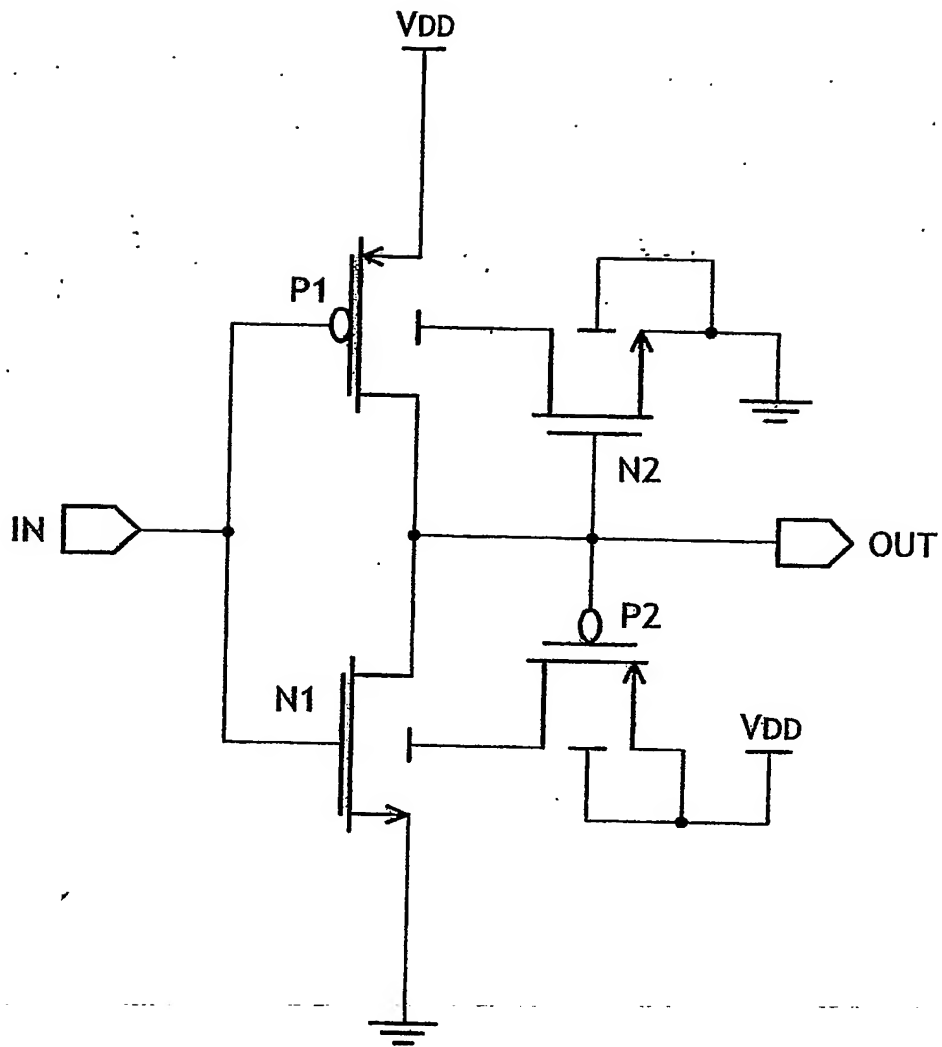


FIG.6



T/Y

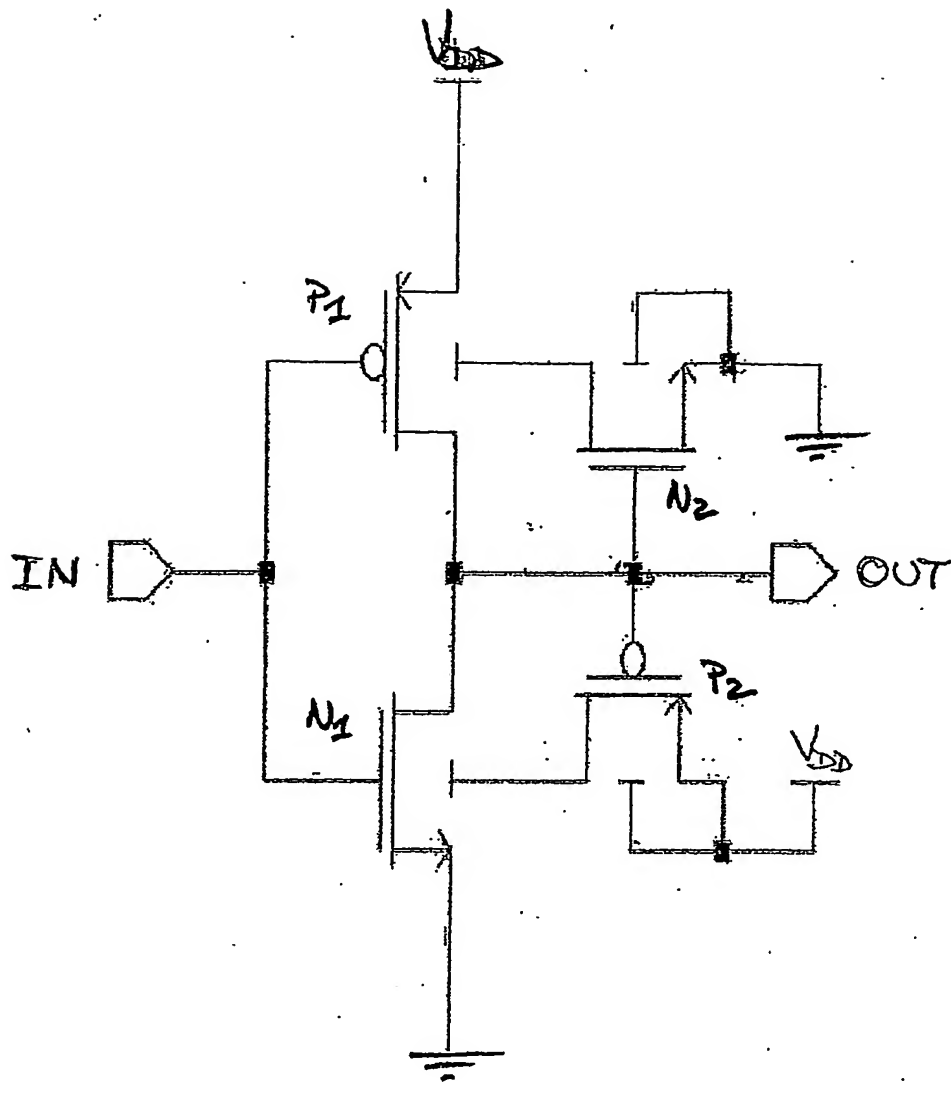


Figure 6

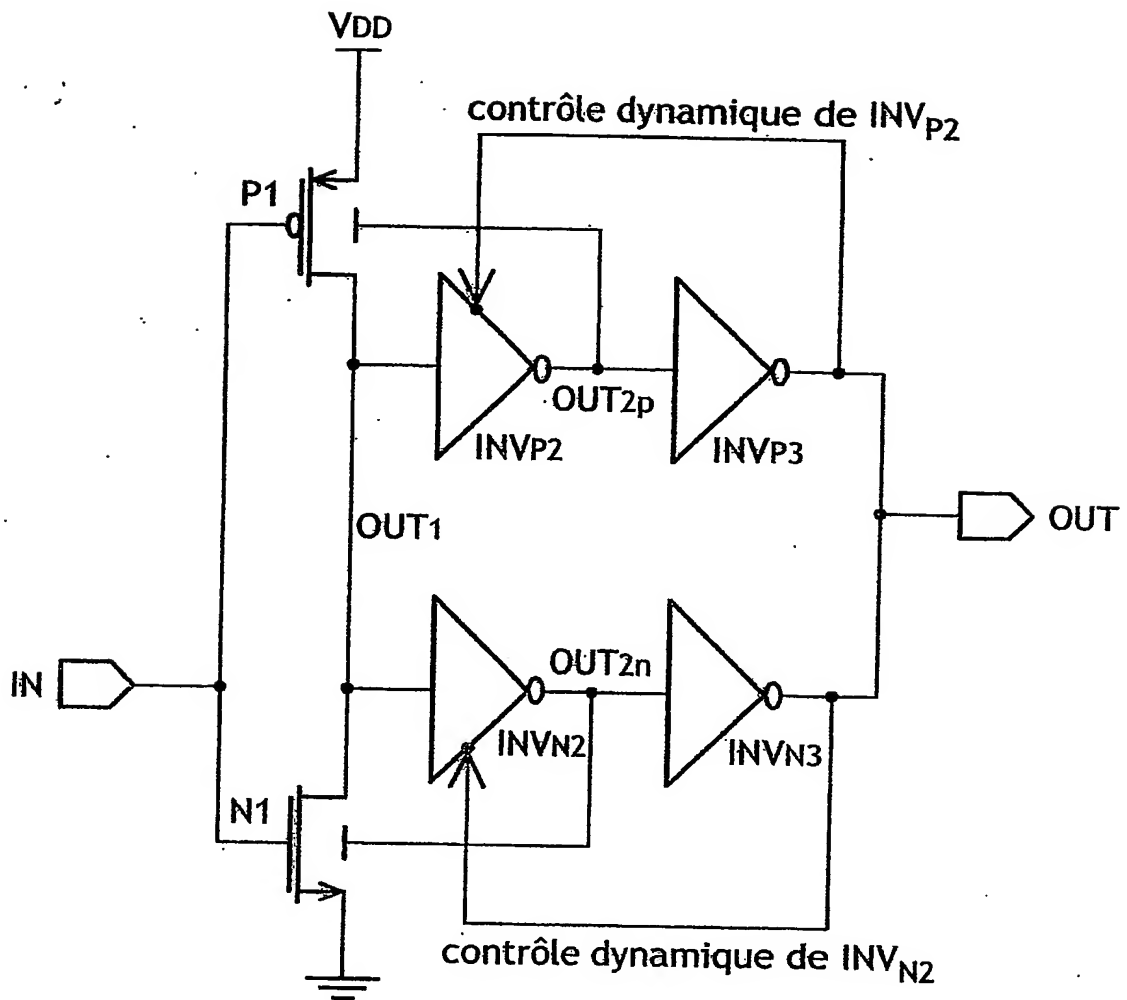


FIG.7

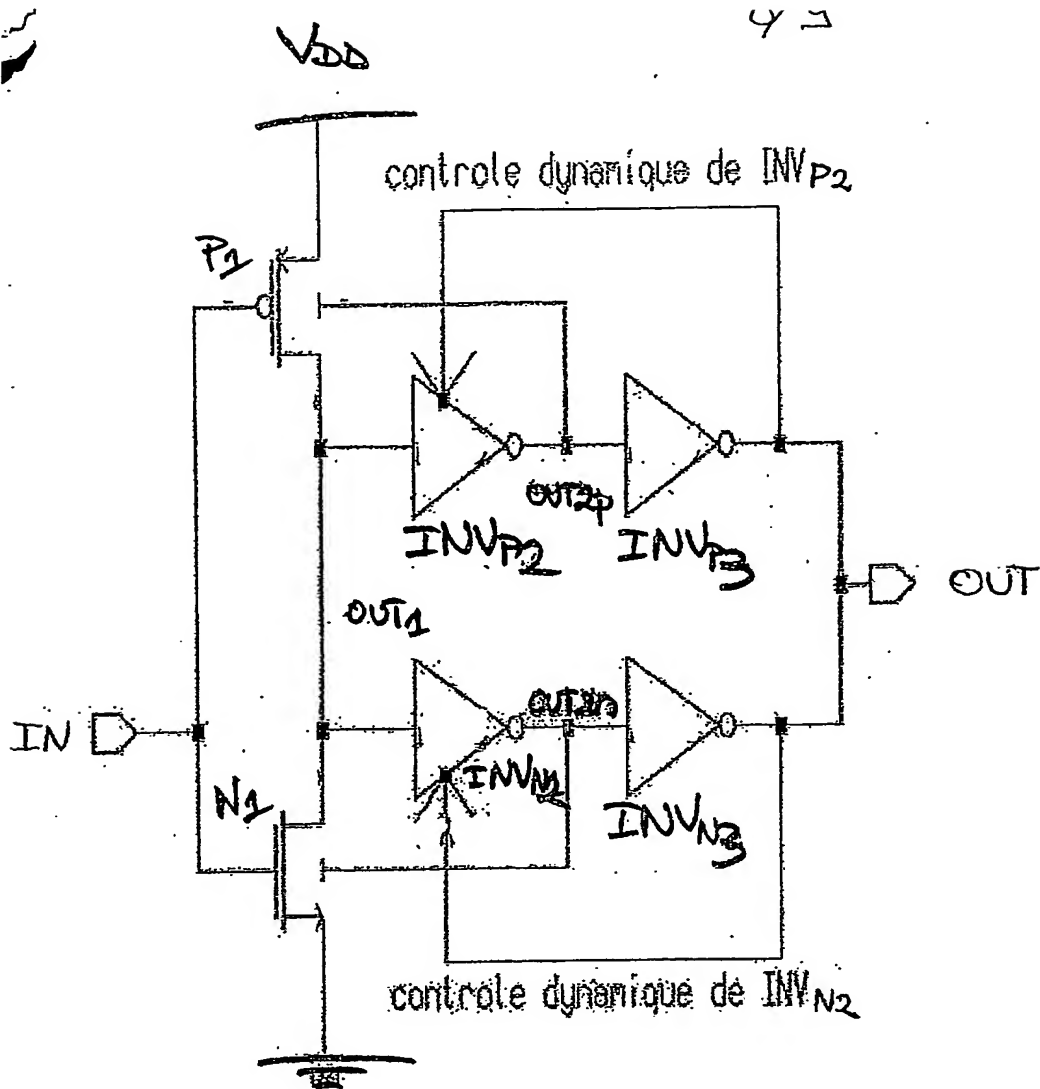


Figure 7

8/8

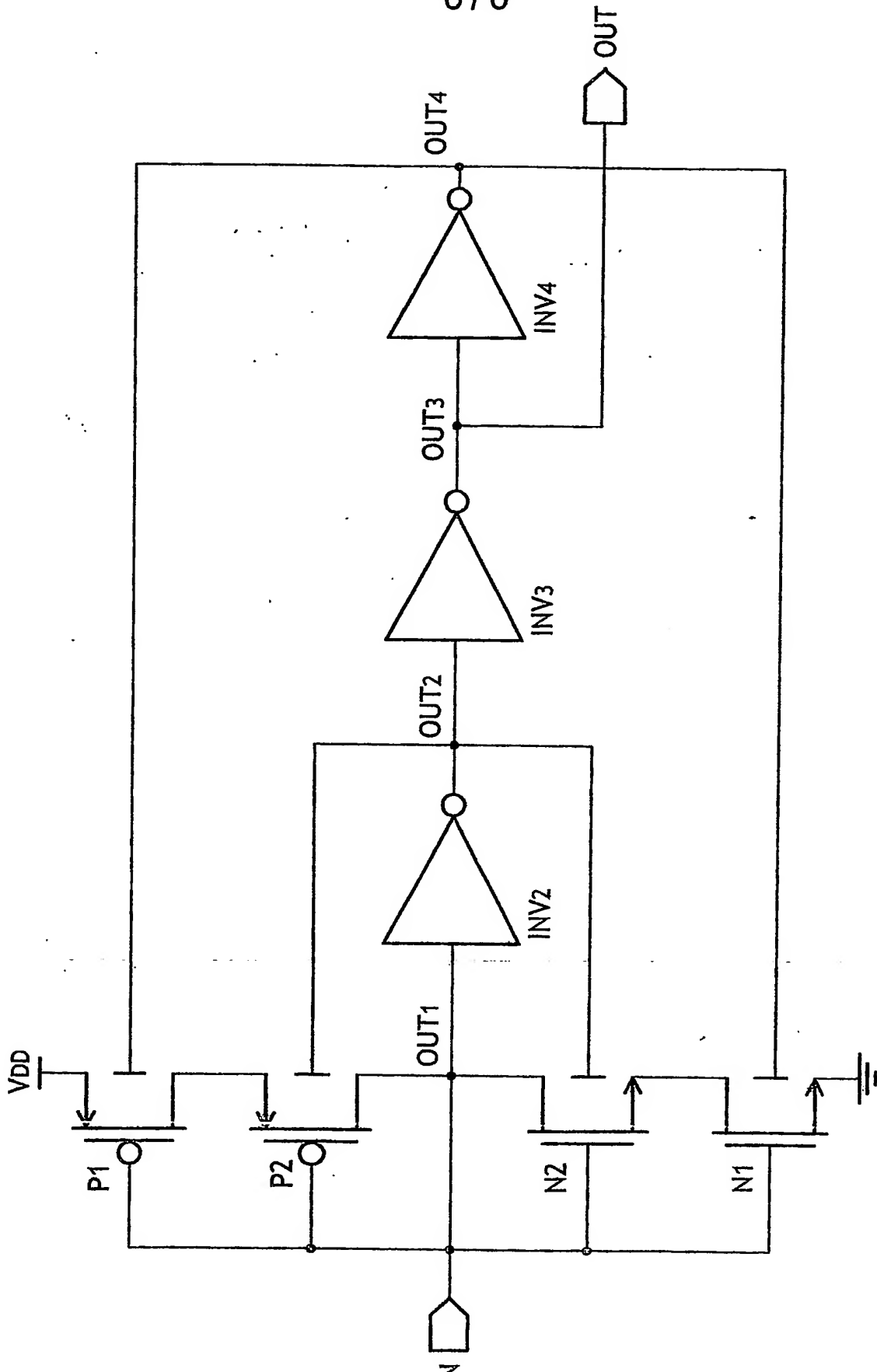


FIG.8

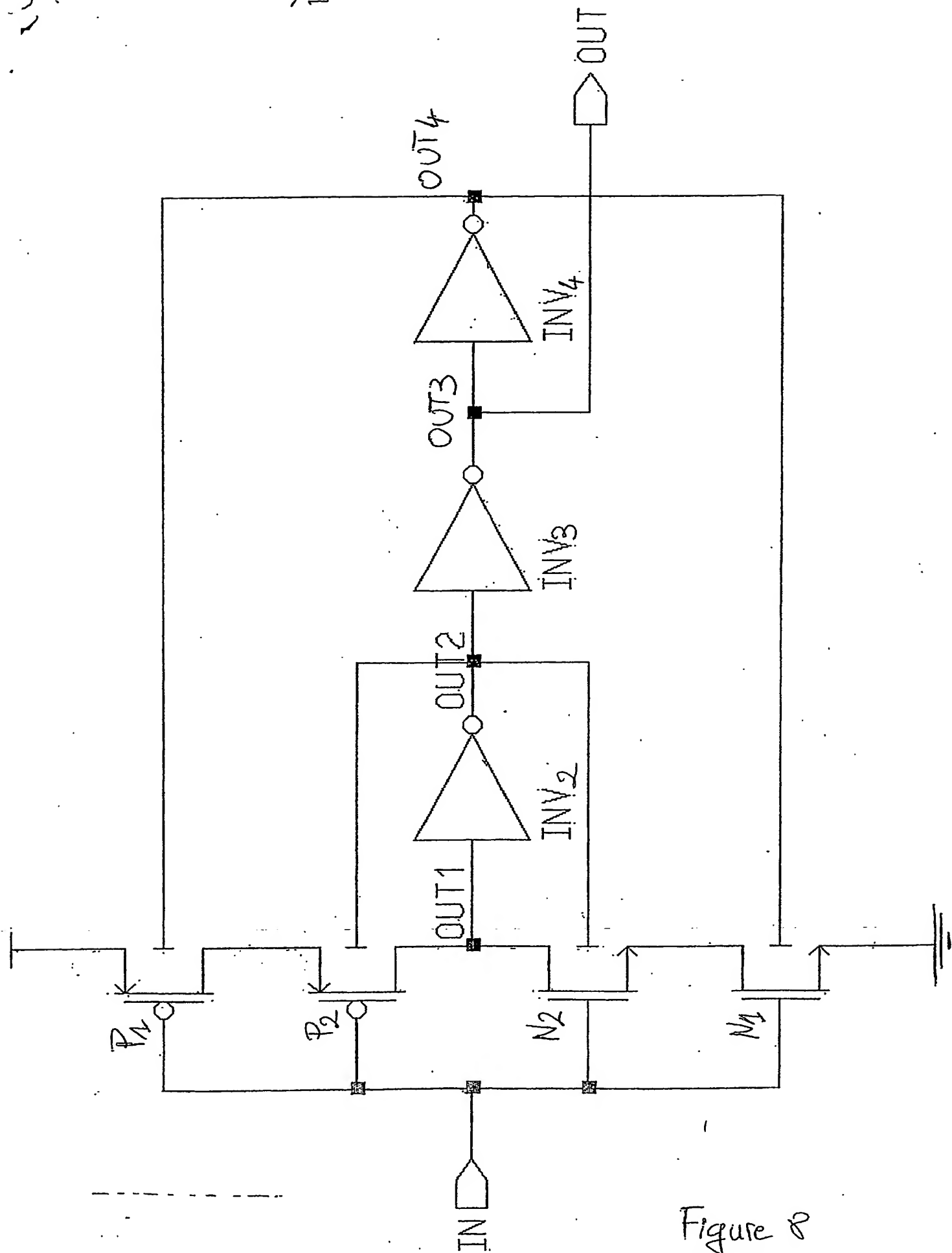


Figure 8

DÉPARTEMENT DES BREVETS

26 bis, rue de Saint Pétersbourg

75800 Paris Cedex 08

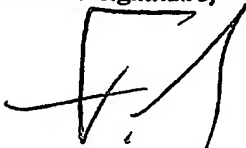
Téléphone : 33 (1) 53 04 53 04 Télécopie : 33 (1) 42 94 86 54

**DÉSIGNATION D'INVENTEUR(S)** Page N° 1/1

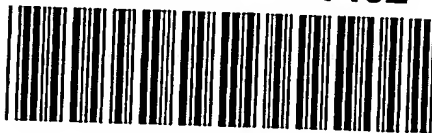
(À fournir dans le cas où les demandeurs et les inventeurs ne sont pas les mêmes personnes)

Cet imprimé est à remplir lisiblement à l'encre noire

08 113 Y / 270501

<b>Vos références pour ce dossier (facultatif)</b>		
<b>N° D'ENREGISTREMENT NATIONAL</b>		240072 D20644 TM 0304088
<b>TITRE DE L'INVENTION</b> (200 caractères ou espaces maximum)		
CIRCUIT TRIGGER DE SCHMITT EN SOI		
<b>LE(S) DEMANDEUR(S) :</b>		
SOISIC : 15, rue des Martyrs, 38054 GRENOBLE - FRANCE		
<b>DESIGNE(NT) EN TANT QU'INVENTEUR(S) :</b>		
<b>1</b> Nom		
Prénoms		
Adresse	Rue	FAVARD Thierry
	Code postal et ville	75010 PARIS FRANCE
Société d'appartenance (facultatif)		
<b>2</b> Nom		
Prénoms		
Adresse	Rue	
	Code postal et ville	
Société d'appartenance (facultatif)		
<b>3</b> Nom		
Prénoms		
Adresse	Rue	
	Code postal et ville	
Société d'appartenance (facultatif)		
S'il y a plus de trois inventeurs, utilisez plusieurs formulaires. Indiquez en haut à droite le N° de la page suivi du nombre de pages.		
<b>DATE ET SIGNATURE(S)</b> <b>DU (DES) DEMANDEUR(S)</b> <b>OU DU MANDATAIRE</b> (Nom et qualité du signataire)		
 92-1001		

PCT/IB2004/001402



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☒ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☒ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**